

# Zastosowanie submikronowych technologii VLSI w rozwoju wielokanałowych układów scalonych do odczytu detektorów cząstek jonizujących

Dominik Przyborowski

## Streszczenie

Współczesne i przyszłe eksperymenty fizyki wysokich energii poszukują odpowiedzi na pytania dotyczące zrozumienia podstawowych składników materii i praw nią rządzących. Działający od 2008 roku Wielki Zderzacz Hadronów LHC (ang. *Large Hadron Collider*) w Europejskim Ośrodku Badań Jądrowych CERN w Genewie, podczas swojej pierwszej tury pracy osiągnął pierwszy sukces jakim była potwierdzona obserwacja bozonu Higgsa, odpowiedzialnego za nadawanie cząstkom ich mas. Planowany na drugą połowę obecnej dekady eksperyment  $\bar{P}$ ANDA (ang. *antiProton ANnihillation at DArmstadt*) pracujący przy akceleratorze FAIR (ang. *FAcility for Ion Research*) w kompleksie badawczym GSI w Darmstadt będzie, poprzez zderzenia proton–antyproton, badał stany z wszystkimi możliwymi liczbami kwantowymi dostępnymi dla układów kwark–antykwar, czy stany wykraczające poza prosty model kwarków, takie jak glueballe, hybrydy czy molekuly mezonowe. Ogólną tendencją towarzyszącą nowym eksperymentom fizyki wysokich energii jest zwiększenie energii zderzających się cząstek, świetlności akceleratorów, częstości zderzeń przyspieszanych cząstek (substratów reakcji). Od detektorów wymaga się natomiast zwiększania zdolności rozdzielczej, zarówno przestrzennej jak i energetycznej czy też częstości rejestrowanych przypadków. Sytuacja ta stawia coraz większe wymagania przed układami elektroniki odczytu detektorów promieniowania.

Celem niniejszej pracy jest projekt i realizacja dwóch układów elektroniki odczytu. Pierwszy z nich przeznaczony jest dla monitora wiązki BCM1F (ang. *Fast Beam Condition Monitor*) w eksperymencie CMS (ang. *Compact Muon Solenoid*) przy LHC, natomiast drugi do pracy ze słomkowymi komorami proporcjonalnymi, użytymi w detektorach śladowych w eksperymencie  $\bar{P}$ ANDA przy FAIR.

Akcelerator LHC podczas pierwszej fazy swojej pracy (2008 – 2013) działał z częstością zderzeń wynoszącą 10 MHz, która ma zostać zwiększona do nominalnych 40 MHz. Wymusiło to zmodernizowanie istniejącego w eksperymencie CMS monitora wiązki, poprzez zaprojektowanie zupełnie nowego układu elektroniki front–end dla sensorów diamentowych, składających się na system monitora wiązki BCM1F, umożliwiającego pomiar parametrów wiązki w nowym 40 MHz reżimie pracy. Głównym wyzwaniem postawionym przed projektem układu elektroniki odczytu monitora wiązki BCM1F było uformowanie niezwykle szybkiego impulsu o szerokości połówkowej nie przekraczającej 10 ns i wysterowanie nim różnicowo 100  $\Omega$  rezystora terminującego, przy dużym obciążeniu pojemnościowym wyjścia tejże elektroniki. Dodatkowym wyzwaniem narzuconym na układ był jak najszybszy czas powrotu do linii bazowej, w przypadku detekcji sygnałów znacznie przekraczających wejściowy zakres dynamiczny. W celu sprostania wszystkim tym wymaganiom, potrzebny jest nowy układ elektroniki odczytu dla systemu BCM1F będący jednym z dwóch głównych celów tej pracy.

Eksperyment  $\bar{P}$ ANDA wymaga do odczytu słomkowych komór proporcjonalnych, dedykowanego układu elektroniki odczytu dostarczającego precyzyjny pomiar czasu zdarzenia oraz strat energii cząstki w detektorze. Impulsy prądowe indukowane przez cząstki naładowane w słomkowych komorach proporcjonalnych posiadają długi „ogon” wynikający z wolnego dryfu jonów. Fakt ten, wraz z wymaganiem narzuconym na szybkość układu oraz precyzję pomiaru czasu, powoduje, iż oprócz przedwzmacniacza i układu kształtującego, układ elektroniki front–end musi zapewniać eliminację składowej jonowej sygnału oraz stabilizację linii bazowej przed blokiem dyskryminatora amplitudy odpowiedzialnego za pomiary czasowe. Z wyzwań narzuconych na układ należy nadmienić specyficzne kształtowanie sygnału, umożliwiające dokładną eliminację ogona jonowego i pracę z częstością zliczeń dochodzącą do 3 M/s, przy rozdzielczości czasowej rzędu 1 ns.

Przedstawiona praca została podzielona na trzy rozdziały. W pierwszym z nich zapoznano czytelnika ze współczesnymi technologiami planarnymi CMOS z naciskiem na prawidłowe modelowanie pracy tranzystorów polowych MOS, z uwzględnieniem występujących w głęboko sub-

mikronowych technologiach efektów krótkiego kanału. Przedstawiono zagadnienie modelowania szumów elementów elektronicznych wykorzystywanych w projektowaniu układów scalonych oraz efektów niedopasowania tychże elementów. W podsumowaniu pierwszego rozdziału dokonano porównania dwóch technologii scalonych AMS 350 nm oraz CMOS RF 130 nm użytych do zaprojektowania wspomnianych układów elektroniki odczytu.

W drugiej części pracy przedstawiono projekt i realizację układu elektroniki odczytu dla monitora wiązki BCM1F. Pracujący w trakcie pierwszej tury operacji akceleratora LHC w CERN system BCM1F wymagał modernizacji, której głównym celem było dostosowanie go do pracy w 25 ns reżimie pracy akceleratora. Z najważniejszych wymagań postawionych przed zaprojektowanym układem należy wymienić:

- wzmocnienie ładunkowe układu na poziomie 50 mV/fC,
- pseudogaussowskie kształtowanie impulsu o parametrach czasowych (zarówno  $T_p$  jak i FWHM) poniżej 10 ns,
- poziom szumów na wejściu poniżej 1000  $e^-$ , przy pojemności sensora wynoszącej 5 pF,
- wysterowanie impulsu wyjściowego różnicowo na 100  $\Omega$  rezystor terminujący,
- szybki powrót do linii bazowej (poniżej 100 ns) dla sygnałów wykraczających poza wejściowy zakres dynamiczny.

Zaprezentowany układ został zaprojektowany oraz wyprodukowany w technologii CMOS RF 130 nm. Wyniki testów laboratoryjnych pokazały, że układ nie tylko spełnia, a wręcz wykracza poza postawione przed nim wymagania. Parametry czasowe impulsu w odpowiedzi na detekcję cząstki minimalnie jonizującej to 7 ns czasu kształtowania oraz ok. 9 ns szerokości połówkowej, dla pojemności sensora wynoszącej 2 pF. Poziom szumów elektroniki pracującej z rzeczywistym sensorem plasuje się poniżej 350  $e^-$  (2 pF) i nie przekracza poziomu 650  $e^-$  dla 5 pF pojemności wejściowej. Czas powrotu do linii bazowej dla sygnałów znacznie przekraczających wejściowy zakres dynamiczny jest rzędu 20 ns. Układ jest zatem gotowy na detekcję przypadków pochodzących od następnego zderzenia protonów w akceleratorze. Wynik ten jest ogromnym krokiem naprzód w porównaniu do starego systemu, w którym czas martwy był rzędu mikrosekund. Oprócz pomyślnej parametryzacji samego układu elektroniki odczytu, należy nadmienić, iż cały system monitora wiązki BCM1F przeszedł pomyślnie testy z użyciem wiązki akceleratora DESY II i w chwili obecnej jest instalowany w eksperymencie CMS i będzie służył w trakcie drugiej tury operacji akceleratora LHC.

Drugim z zaprezentowanych układów był opisany w trzecim rozdziale układ elektroniki odczytu dla słomkowych komór proporcjonalnych, projektowanych dla detektorów śladu STT i FT w eksperymencie PANDA. Ze względu na specyfikację systemu odczytowego, projektowany układ odznacza się wyższym stopniem skomplikowania w porównaniu do projektu elektroniki front-end dla monitora wiązki BCM1F. Przed układem elektroniki odczytu dla słomkowych komór proporcjonalnych postawiono wymagania dotyczące precyzyjnych pomiarów czasu zdarzenia oraz strat energii w detektorze, poprzez jednoczesny pomiar zarówno amplitudy impulsu analogowego jak i czasu nad progiem ToT. Impulsy prądowe indukowane w objętości czynnej detektora posiadają długą składową jonową, którą należało wyeliminować specyficznym kształtowaniem sygnału, natomiast pomiar czasu z precyzją lepszą niż 1 ns wymagał dodatkowej stabilizacji linii bazowej sygnału. Pierwszy prototyp układu elektroniki odczytu został zaprojektowany i wykonany w technologii AMS 350 nm. Posiadał on możliwość zmiany wzmocnienia przedwzmacniacza w zakresie od 0.5 do 4 mV/fC, czasu kształtowania od 10 do 40 ns oraz eliminacji ogona jonowego, poprzez dopasowanie dwóch stałych czasowych kompensujących go w szerokim zakresie. Wyprodukowany prototyp został użyty w trzech testach z użyciem wiązki protonów z akceleratora Big Karl w FZJ Jülich w konfiguracji z 4, 32 oraz 96 kanałami odczytowymi. Wyniki przeprowadzonych testów okazały się obiecujące i pokazały, że używając proponowanego układu elektroniki front-end możliwe jest uzyskanie żądanej zdolności energetycznej oraz rozdzielczej w detektorze śladu STT i FT. Dzięki zdobytemu doświadczeniu sformułowano wymagania dotyczące finalnej wersji układu przeznaczonej do pracy w eksperymencie, która została opisana pod koniec rozdziału.