

C-2. Przerzutniki JK-MS w technologii TTL i ich zastosowania

Przedmiotem ćwiczenia są moduły scalone SN7472 oraz SN7473, należące do układów cyfrowych o małym stopniu scalenia (SSI - *Small Scale Integration*), wykonane przez firmę Texas Instruments (oznaczenie SN) w technologii TTL (*Transistor-Transistor Logic*). Technologia ta oparta jest na krzemie i w roli elementów aktywnych wykorzystuje tranzystory npn. Obydwa moduły mieszczą przerzutniki typu JK, czyli przerzutniki zaopatrzone w wejścia sterujące (programujące): układ '72 zawiera jeden przerzutnik o potrójnych wejściach sterujących $J=J_1 \cdot J_2 \cdot J_3$ oraz $K=K_1 \cdot K_2 \cdot K_3$, zaś moduł '73 ma dwa osobne przerzutniki o pojedynczych wejściach sterujących. Przerzutniki JK są uniwersalne i mogą być użyte także w roli przerzutników SR, D i T. W ćwiczeniu będą wykorzystane (razem z dwuwejściowymi bramkami NAND typu SN7400 lub podobnymi):

- do budowy dzielników częstotliwości przebiegu zegarowego
- jako układy zliczające impulsy.

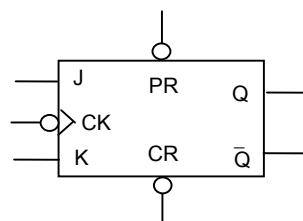
Układy te mogą pracować z zegarem o częstotliwości 20 MHz, przy czasach propagacji zazwyczaj mniejszych niż 25ns. Pobór prądu ze źródła zasilania wynosi ok. 10mA na przerzutnik. Jeśli wymagana jest praca z większą szybkością, do 100MHz, zaleca się stosowanie układów SN74S72 i SN74S73 z tranzystorami Schottky'ego, a więc z tranzystorami npn zabezpieczonymi przed wejściem w nasycenie przez Schottky'ego złącza m-p (metal-półprzewodnik). Złącza te są analogiem złącz p-n, ale cechują się mniejszym spadkiem napięcia przy przewodzeniu (ok. 0,4V). W celu ograniczenia poboru prądu stosować można układy małej mocy, np. SN74LS73 (L - *Low Power*, S - Schottky), które mają pięciokrotnie mniejszą moc strat przy szybkości podobnej do szybkości układów serii standardowej.

Poniżej podaje się ogólne informacje, odsyłając w sprawach szczegółowych, niezbędnych przy projektowaniu i uruchamianiu układów, do katalogów firmowych lub opracowań zbiorczych, jak np. książka W.Sasala o parametrach i zastosowaniu standardowej serii układów TTL.

I. Opis, uwagi

1) Własności przerzutników JK, podstawowych cegiełek z jakich buduje się układy do zliczania impulsów, przedstawia tablica stanów pokazana na rys. 1. Indeksy n oraz $n+1$ odnoszą się do kolejnych czasów bitowych, rozdzielonych impulsem podawanym na wejście zegarowe. Zatem, na przykład, podanie jedynek logicznych na wejścia sterujące J i K między impulsami o numerach $n-1$ i n sprawi, że po przyjęciu n -tego impulsu zegarowego nastąpi przeskok układu ze stanu Q_n do stanu Q_{n+1} , przeciwnego do panującego wcześniej.

J_n	K_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n



impulsy zegarowe:

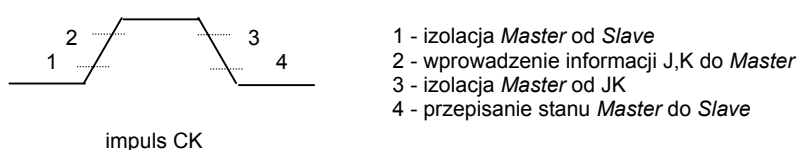


Rys. 1

2) W przedziale czasu bitowego stan wyjść jest niezmienny, jeśli tylko nie zostaną uaktywnione dodatkowe wejścia PR i CR (czasem oznaczane też przez S - *set* i R - *reset*). Wejścia te służą do ustawiania żądanego stanu wyjść i są one obdarzone priorytetem. Symbol graficzny przerzutnika informuje, że wejścia

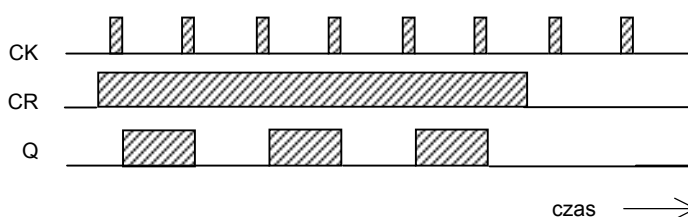
ustawiające są zanegowane i ustawianie stanu odbywa się przez podanie na jedno z nich zera logicznego, a więc niskiego poziomu napięcia. Przyjmuje się tu bowiem standard logiki dodatniej, w którym poziom wysoki H odpowiada jedynie logicznej, zaś niski, L, logicznemu zeru. Jednoczesne uaktywnienie obydwóch wejść jest logicznie sprzeczne i zabronione, prowadzi bowiem do stanu nieoznaczonego.

3) Symbol graficzny przerzutnika informuje również o tym, że zmiana stanu Q, jeśli zachodzi, odbywa się w odpowiedzi na opadające zbocze impulsu zegarowego CK. Wynika to z konstrukcji przerzutników w modułach '72 i '73. Wykonane są one mianowicie w konfiguracji *Master-Slave*, w której każdy przerzutnik JK jest zbudowany z dwóch oddzielnych, tworzących razem układ dwutaktowy. Najpierw, w reakcji na narastające zbocze impulsu zegarowego, ustawiany jest stan pierwszego (*Master*), a potem, w trakcie drugim, w odpowiedzi na opadające zbocze impulsu CK, informacja ta jest przepisywana do przerzutnika drugiego (*Slave*). Sterowanie takiego zespołu wymaga zróżnicowania poziomów napięciowych inicjujących działanie poszczególnych części układu logicznego - jak to przedstawiono na rys. 2. Dzięki konfiguracji *Master-Slave* unika się hazardu stanów, do jakiego mogłoby dojść w przypadku $J=K=1$, gdyby impuls zegarowy nie trwał krócej od czasu propagacji przerzutnika. Należy pamiętać, że sygnałów podanych na wejścia sterujące nie wolno zmieniać, gdy przebieg zegarowy ma stan wysoki.



Rys. 2

4) Na rys. 3 przedstawiono reakcję przerzutnika na ciąg impulsów zegarowych przy $J=K=1$; zaniedbano czas propagacji układu oraz czasy narastania i opadania sygnałów. Przerzutnik jest układem dwustabilnym, bowiem w stanie ustalonym sygnał na wyjściu Q jest bądź wysoki, bądź niski; częstotliwość przebiegu wyjściowego jest dwukrotnie niższa niż wejściowego. Tworząc łańcuch n przerzutników dostaje się układ n-bitowy, o liczbie stanów stabilnych 2^n , przy czym częstotliwość przebiegu na wyjściu ostatniego przerzutnika w łańcuchu będzie n razy mniejsza niż częstotliwość zegara. Łańcuch może być użyty jako dzielnik częstotliwości oraz do zliczania impulsów. W tym drugim przypadku konieczny jest obwód zerowania, bowiem stan takiego n-bitowego licznika będzie oddawał liczbę impulsów podanych na wejście w zadanym przedziale czasu tylko wtedy, gdy zliczanie rozpocznie się przy stanie $Q=0$ dla każdego przerzutnika.



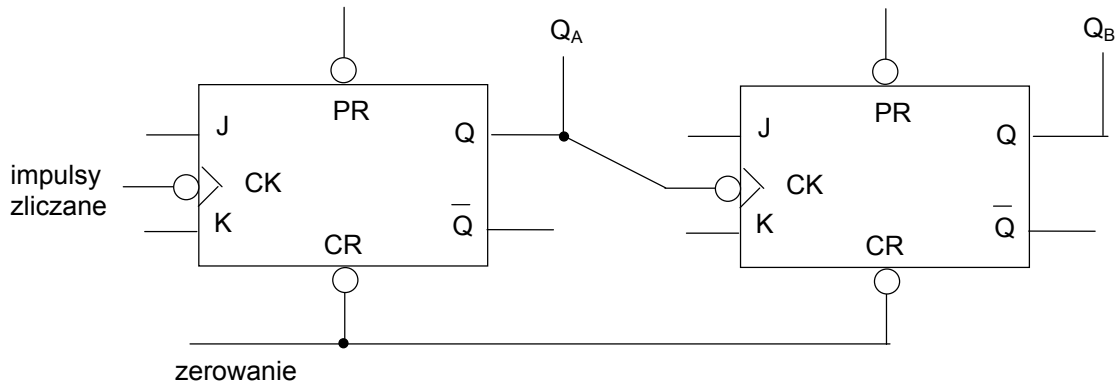
Rys. 3

5) Zbudowany według tego pomysłu licznik impulsów nazywany jest układem asynchronicznym, bowiem w trybie zliczania stan następnego przerzutnika może się zmienić tylko w reakcji na zmianę stanu przerzutnika poprzedniego. Wynika z tego, że czas propagacji układu jest wyznaczony sumą opóźnień wszystkich przerzutników. Na rys. 4 pokazany jest licznik złożony z dwóch przerzutników, o dwóch wyjściach Q_A i Q_B . Zatem słowo wyjściowe jest dwubitowe, a liczba możliwych kombinacji stanów wynosi 4. Występuje on pod nazwą binarnego licznika dwubitowego, lub licznika modulo 4 - czyli powracającego do stanu początkowego po czterech impulsach zegarowych. Pracę licznika ilustruje tablica stanów i wykres przebiegu sygnałów w charakterystycznych punktach układu, sporządzony tutaj bez uwzględnienia czasów propagacji oraz czasów narastania i opadania sygnałów.

Graf przejść, czyli wykres zmiany stanów wyjść $Q_B Q_A$, która jest efektem podawania na wejście licznika kolejnych impulsów, upewnia o tym, że tryb pracy omawianego układu będzie właściwy bez względu na to, jaki stan panował na obu wyjściach przed podaniem pierwszego impulsu. Sprawa jest ważna, bowiem - ogólnie biorąc - nie wszystkie z możliwych stanów wyjść dowolnego licznika muszą należeć do zadanego trybu pracy. Przypadkowe pojawienie się któregoś z nieprawidłowych stanów może prowadzić do zablokowania układu lub działania w inny sposób, niż oczekiwany. Konfiguracje układowe o takich własnościach powinny być eliminowane już na etapie projektowania układu.

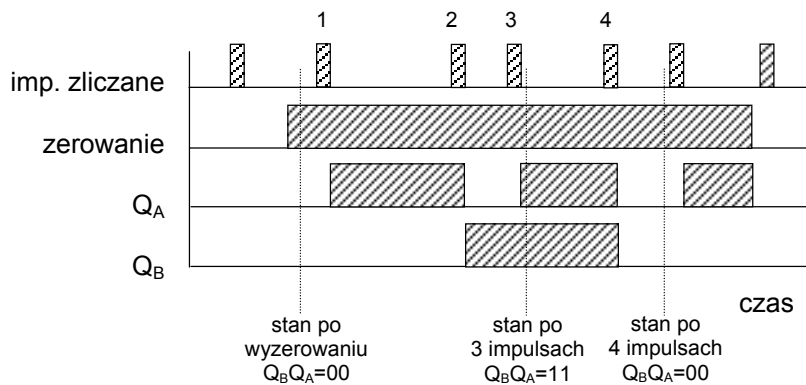
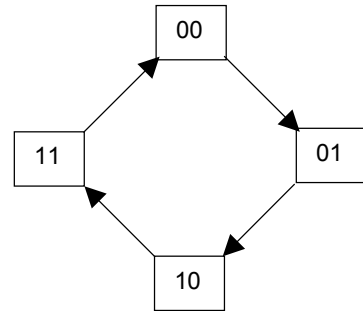
UWAGI:

- 1) do J, K, PR przyłożono na stałe jedynkę logiczną (poziom H)
- 2) w czasie zliczania impulsów do szyny zerowania przykładają się poziom H



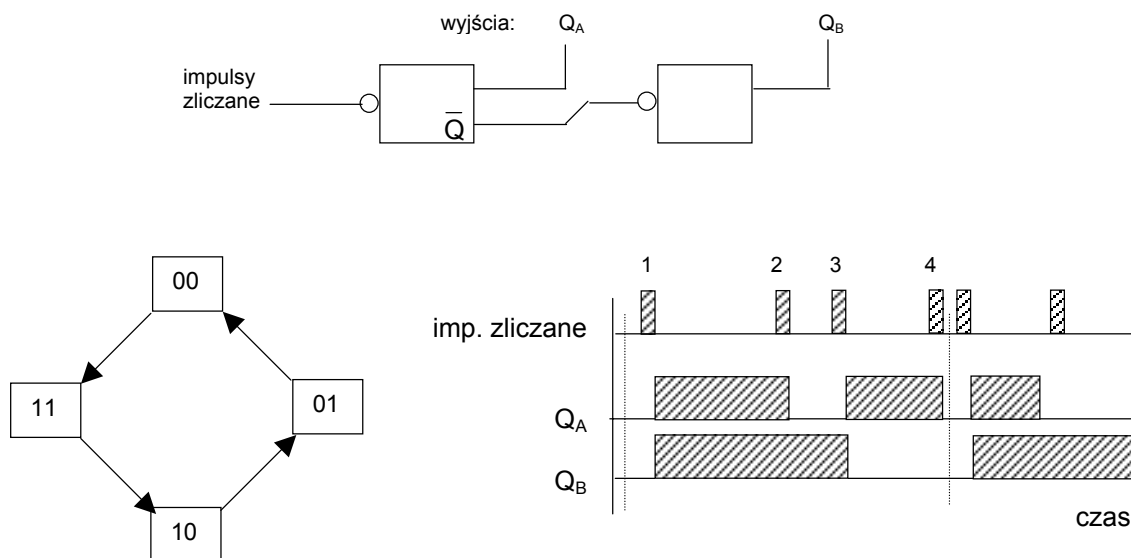
numer impulsu	Q_B	Q_A	stan w systemie dziesiętnym
0	0	0	0
1	0	1	1
2	1	0	2
3	1	1	3
4	0	0	0
5	0	1	1
6	1	0	2
.	.	.	.
.	.	.	.

} moduł



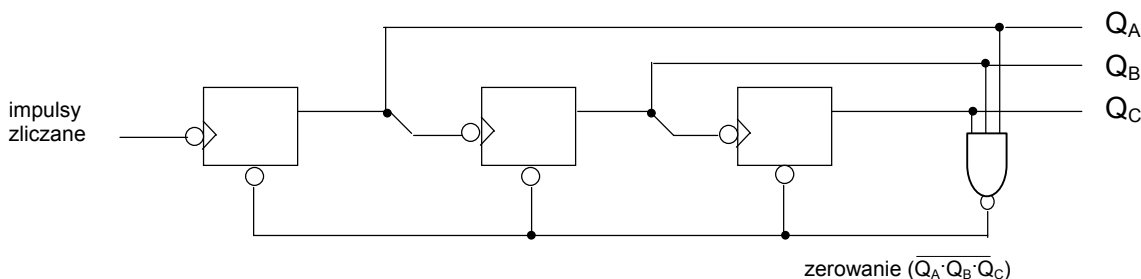
Rys. 4

6) Z zamieszczonej tablicy widać, że o ile w danym cyklu pracy odpowiednik dziesiętny dwubitowej liczby $Q_B Q_A$ zwiększa się o jedną z nadejściem kolejnego impulsu wejściowego, o tyle wartość dziesiętna liczby odczytanej z wyjść zanegowanych \bar{Q}_B oraz \bar{Q}_A ulegać będzie zmniejszeniu o jedną. Jeśli więc kolejne przerzutniki licznika będą pobudzane z wyjść \bar{Q} przerzutników poprzedzających, to będzie on liczył wstecz. Na rys. 5 pokazany jest licznik odejmujący na przykładzie układu dwubitowego, z pominięciem obwodu zerowania.



Rys. 5

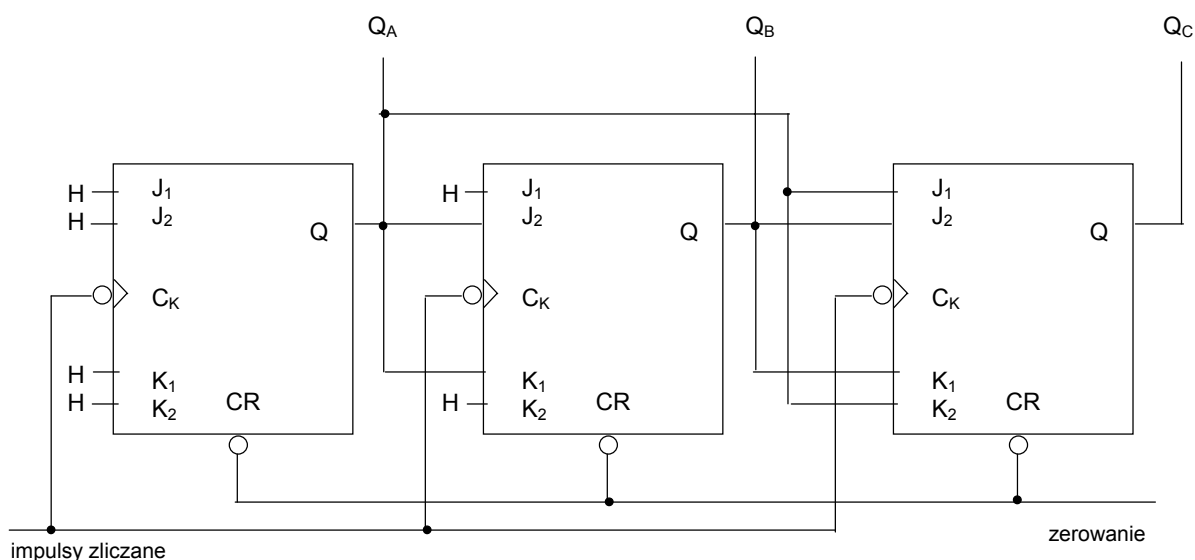
7) Stosując w podobnych konfiguracjach n przerzutników otrzymuje się liczniki o pojemności $(2^n - 1)$ impulsów - uwzględnia się tutaj, że jeden ze stanów odpowiada licznikowi wyzerowanemu ($Q_1 = Q_2 = \dots = Q_n = 0$). Licznik o dowolnej pojemności, nie związanej sztywno z potęgą liczby 2, można otrzymać przez zastosowanie takiego układu logicznego, który dla zadanego stanu wyjść wytworzy sygnał zerowania licznika. Dla przykładu pokazano licznik modulo 7, zerowany przy stanie $Q_C Q_B Q_A$ równym 111. Oczywiście, aby licznik był użyteczny, musi się zapewnić możliwość zerowania sygnałem zewnętrznym. W takiej jak niżej postaci odczytany stan wyjść nie będzie informował o liczbie zliczonych impulsów, bowiem stan początkowy licznika będzie przypadkowy; układ mógłby być użyty tylko jako dzielnik częstotliwości przez 7.



Rys. 6

8) Jeżeli kwestia czasu propagacji jest istotna, zastosować trzeba licznik synchroniczny. W takim układzie impulsy zliczane podawane są jednocześnie na wejścia zegarowe wszystkich przerzutników, zaś pożądaną

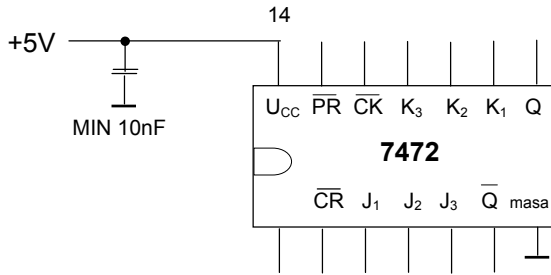
zmianę stanów, czyli zadany tryb działania, wymusza się za pośrednictwem wejść sterujących J i K - jak to widać na schemacie trzybitowego binarnego licznika synchronicznego (modulo 8), przedstawionym na rys. 7. Wykorzystano tu widoczną w tablicy stanów licznika prawidłowość, że przychodzący na wejście impuls jest przyczyną zmiany stanu danego przerzutnika tylko wtedy, gdy wszystkie poprzednie znajdują się w stanie 1 (wysokim). Dzięki sterowaniu synchronicznemu unika się sumowania czasów propagacji przerzutników: opóźnienie dla całego licznika jest wtedy równe czasowi propagacji jednego przerzutnika. Taka konfiguracja wymaga jednak zwielenokrotnienia wejść J i K w przerzutnikach (tutaj tylko zdublowania, z zapewnieniem konjunkcji $J=J_1 \cdot J_2$, $K=K_1 \cdot K_2$), prowadzi więc do zwiększenia liczby elementów logicznych i komplikacji połączeń, co bardzo utrudnia budowę liczników o dużej pojemności. Dlatego zwykle stosuje się układy mieszane - na przykład synchroniczne liczniki dziesiętne połączone w asynchroniczny licznik wielodekadowy.



numer impulsu	Q _C	Q _B	Q _A
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

Rys. 7

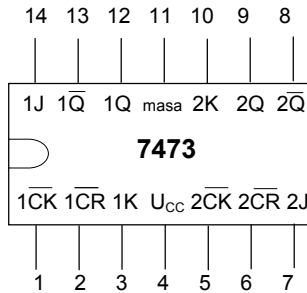
9) W ćwiczeniu do dyspozycji są układy SN7472, SN7473 oraz SN7400 - lub ich odpowiedniki i modyfikacje. Rozkład wyprowadzeń tych modułów przedstawiono na rys. 8. Szczegółowe informacje co do parametrów układów scalonych, a także standardów zasilania i sterowania, dostępne są w katalogach.



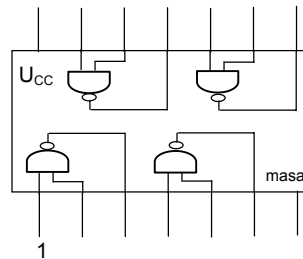
uwagi:

rozkład wyprowadzeń: widok z góry

wejścia sterujące: $J = J_1 J_2 J_3$
 $K = K_1 K_2 K_3$



7400

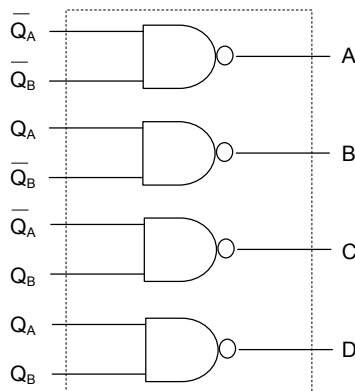


Rys. 8

II Program ćwiczenia

1) Zbadać przerzutnik JK typu SN7472 lub SN7473 (albo odpowiednik lub modyfikację) konfrontując wyniki z tablicą stanów pokazaną na str. 8-1; sprawdzić reakcje na sterowanie wejść ustawiających; zmierzyć czas propagacji oraz czasy narastania i opadania sygnału na wyjściu, określić moc pobieraną z obwodu zasilania.

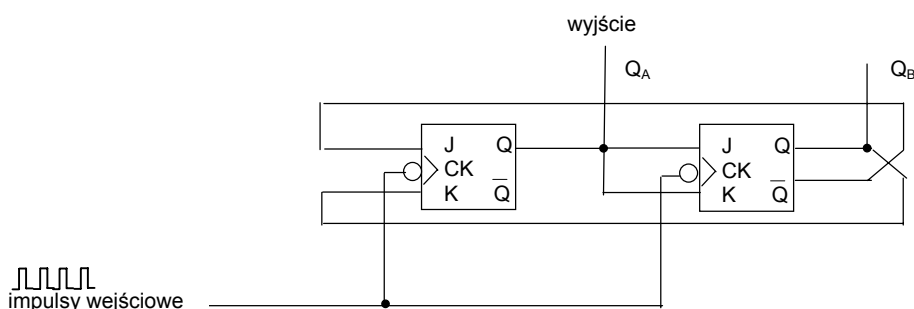
2) Na podstawie schematu podanego na rys. 4 zmontować i sprawdzić działanie dwubitowego licznika binarnego; dodatkowo zmontować i przyłączyć do licznika układ wg schematu z rys. 9; podać tablicę stanów wyjść A,B,C,D, narysować przebiegi sygnałów na wyjściach $Q_A - Q_D$ oraz A - D przynajmniej dla czterech impulsów zegarowych, podać komentarz odnośnie kodu, w jakim pracuje ten nowy licznik z wyjściami ABCD, zastanowić się nad jego ewentualnym zastosowaniem.



Rys. 9

3) Zaprojektować liczniki impulsów modulo 3 asynchroniczny i synchroniczny; w obu przypadkach podać tablicę stanów, schemat logiczny z oznaczeniem numerów wyprowadzeń modułów scalonych i graf przejść, z komentarzem odnośnie stanów wyjść nie przewidywanych w zakładanym trybie pracy; zmontować i zbadać te układy, narysować przebiegi sygnałów w charakterystycznych punktach układów; zmierzyć i porównać czasy propagacji liczników.

4) Zmontować układ według schematu podanego na rys. 10, zbadać, podać tablicę stanów Q_A i Q_B , graf przejść, przebiegi czasowe; wskazać własności układu dyskwalifikujące go w roli dzielnika częstotliwości przebiegu zegarowego i swoje spostrzeżenia w tym względzie potwierdzić doświadczalnie.

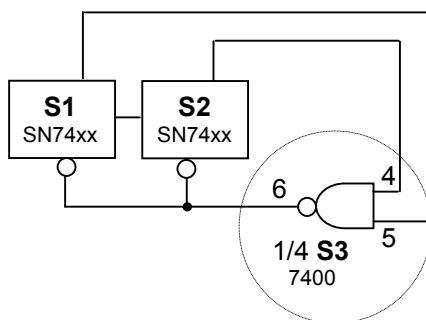


Rys. 10

UWAGI

- Montaż każdego układu musi być poprzedzony narysowaniem schematu, mogą to być z powodzeniem szkice odręczne; schematy powinny być łatwo czytelne pod względem logicznym; należy je jasno opisywać podając nazwy i wartości podzespołów; należy numerować moduły scalone (np. S1, S2...) i zawsze podawać numery oraz opisy ich wyprowadzeń, jak to pokazano na str.5 dla układu 7473; w bardziej złożonych przypadkach trzeba dodatkowo sporządzić szkic rozmieszczenia układu na płycie montażowej z zaznaczeniem wejść i wyjść oraz punktów przyłączenia zasilania.

Powszechną praktyką jest, że funktry logiczne są rysowane na schematach oddzielnie i opisywane z zaznaczeniem numeru i typu układu scalonego, jak to przedstawia rys. 11:



Rys. 11

- Układy montować starannie i przy użyciu możliwie krótkich połączeń, ale jednocześnie czytelnie i zgodnie ze szkicem rozmieszczenia układu; zawsze sprawdzić montaż przed załączeniem zasilania.

- Jak to pokazano przykładowo na rys. 8 do obwodów zasilania zawsze należy włączać kondensatory blokujące, a to w celu minimalizacji zakłóceń, minimum 10 nF na moduł, najlepiej bezpośrednio przy wyprowadzeniach masy i U_{CC} ; dopuszczalne jest blokowanie kilku bliskich sobie modułów odpowiednio większą pojemnością, jeżeli są one podłączone do tych samych szyn doprowadzających zasilanie.
- Nigdy nie podłączać do układu napięć zasilających ani też przebiegów z generatorów zewnętrznych przed upewnieniem się, że spełniają one założenia standardu TTL. Sygnał z generatora należy sprawdzić oscylografem w trybie sprzężenia stałoprądowego (DC - *direct current*). Mówiąc nawiasem, sprzężenia zmiennoprądowego z oscyloskopem, czyli trybu AC (*alternating current*) używać należy tylko w szczególnych okolicznościach, np. gdy znaczna wartość składowej stałej przebiegu utrudnia oglądanie składowej zmiennej. Nigdy nie łączyć ze sobą wyjść układów logicznych TTL! Starannie sprawdzać końcówki kabli koncentrycznych, aby ekranu nie przyłączyć w punkt inny niż masa.
- Użyć, jeśli to możliwe, oscyloskopu wielokanałowego, aby widzieć przebiegi jednocześnie na wejściu i wszystkich wyjściach licznika; stabilność obrazu na ekranie łatwo jest uzyskać przez wyzwalanie podstawy czasu przebiegiem z wyjścia odpowiadającego najstarszemu bitowi, czyli przebiegiem o najniższej częstotliwości.

LITERATURA

Sasal W., *Układy scalone serii UCA64/UCY74, parametry i zastosowania*
Horowitz P., Hill W., *Sztuka elektroniki*, t.II
Tietze U., Schenk C., *Układy półprzewodnikowe*