

C-3. Liczniki asynchroniczne w technologii TTL, dwójkowe i dziesiętne

Moduły te są wykonane przez firmę Texas Instruments (oznaczenie SN) w technologii TTL (*Transistor-Transistor Logic*), bazującej na krzemie i wykorzystującej w roli elementu aktywnego tranzystory npn. Należą do układów MSI - średniej skali integracji (*Medium Scale Integration*). Układ SN7493 jest asynchronicznym czterobitowym licznikiem dwójkowym, zaś SN7490 asynchronicznym, jednodekadowym licznikiem dziesiętnym. W wersji standardowej układy te gwarantują maksymalną częstotliwość zliczania 10 MHz, czasy propagacji są rzędu 10^{-7} s. W wersji najszybszej - oznaczanej jako SN74S93 i SN74S90 - zastosowane są tzw. tranzystory Schottky'ego, czyli tranzystory npn zabezpieczone przed wejściem w nasycenie przez Schottky'ego złącza m-p (metal-półprzewodnik). Złącza te są analogiem złącz p-n, ale cechują się mniejszym spadkiem napięcia przy przewodzeniu (ok. 0,4V). Gdy istnieje potrzeba ograniczenia poboru prądu stosuje się układy małej mocy SN74LS93 oraz SN74LS90 (L - *Low Power*, S - *Schottky*), które mają pięciokrotnie mniejszą moc strat przy szybkości podobnej do szybkości układów serii standardowej.

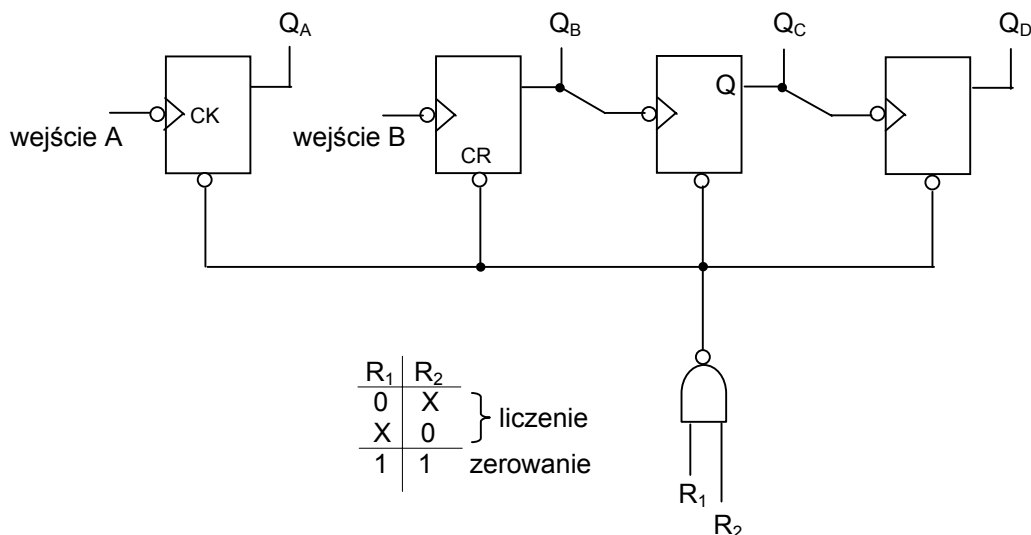
Temat obejmuje projektowanie, montaż i badanie układów wykorzystujących wymienione liczniki lub ich odpowiedniki, lub modyfikacje, a to w celu:

- dzielenia częstotliwości,
- zliczania impulsów
- przetwarzania analogowo cyfrowego.

Do budowy tych układów mogą być wykorzystane bramki logiczne typu SN7400, konwertery kodu typu SN7447, wskaźniki elektroluminescencyjne typu CQYP-74, a także drabinka rezystorowa R-2R i wzmacniacz operacyjny μ A741, użyty w roli przetwornika prąd/napięcie.

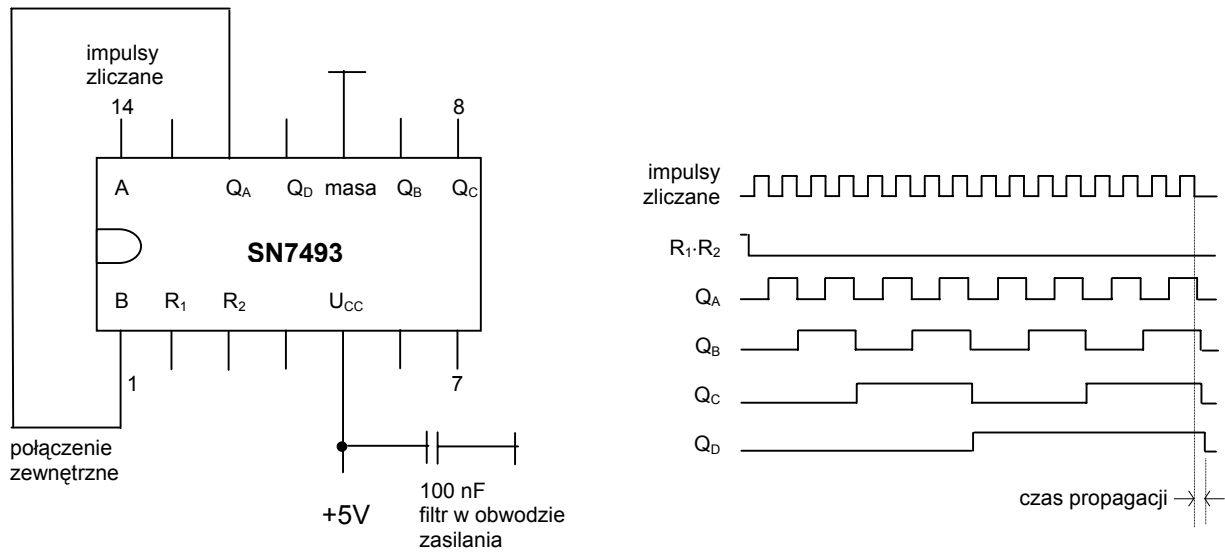
I Licznik dwójkowy 7493

1) Układ składa się z czterech przerzutników typu *master-slave*, ze wspólną szyną zerowania, sterowaną przez dwuwejściową bramkę NAND. Trzy ostatnie przerzutniki tworzą konfigurację asynchroniczną modulo 8 (z wejściem B i wyjściami Q_B , Q_C , Q_D). W celu uzyskania licznika modulo 16 trzeba do niej dołączyć - bądź to na początku, bądź na końcu - przerzutnik pierwszy, z wejściem A i wyjściem Q_A . Schemat logiczny modułu 7493 przedstawiono na rys. 1.



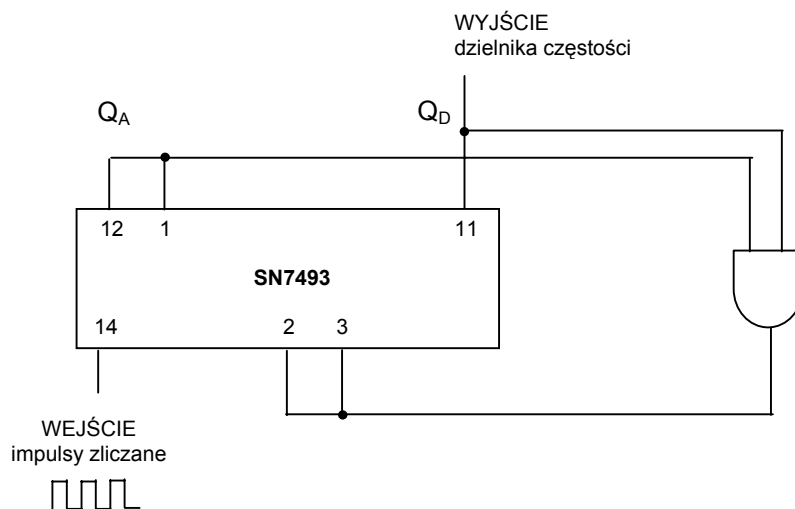
Rys. 1

Na rys. 2 przedstawiono układ czterobitowego licznika binarnego; przebiegi na wejściach i wyjściach układu podano z zaniedbaniem czasów narastania i opadania sygnałów.



Rys. 2

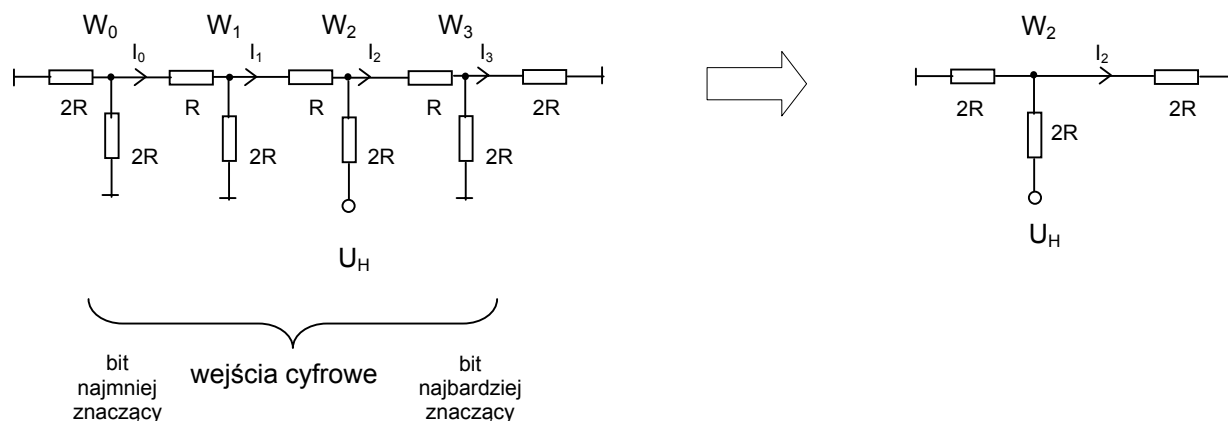
2) Cykl pracy licznika można przerwać wcześniej zerując układ przy zadanej kombinacji stanów $Q_D Q_C Q_B Q_A$. Na przykład, wykrywając za pomocą bramki AND koniunkcję jedynek na najstarszej i najmłodszej pozycji bitowej oraz zerując licznik sygnałem wyjściowym tej bramki - jak to pokazano na rys. 3 - otrzymuje się dzielnik częstości przez 9. Układ wraca bowiem do stanu zerowego w momencie pojawienia się na wyjściach $Q_D Q_C Q_B Q_A$ stanu 1001, czyli po zliczeniu dziewięciu impulsów. Sygnał na wyjściu Q_D ma wtedy dziewięć razy niższą częstość niż wejściowy. W ten sposób można budować dzielniki częstości o dowolnym stopniu podziału lub liczniki modulo n , gdzie n jest liczbą zawartą pomiędzy 2 i 16. W przypadku liczników należy pamiętać o zapewnieniu zerowania układu sygnałem zewnętrznym.



Rys. 3

3) Łącząc kaskadowo liczniki 7493, z ewentualnymi dodatkowymi układami logicznymi do ustawienia modułu, otrzymuje się liczniki impulsów o dowolnej pojemności liczenia. Należy jednak zwrócić tu uwagę na ograniczenie szybkości zliczania ze względu na rosnący z długością kaskady czas propagacji, jest on bowiem sumą opóźnień na każdym liczniku. Aby poznać liczbę zliczonych impulsów, czyli aby można było prawidłowo odczytać stany na wszystkich wyjściach licznika, muszą się one ustalić przed przyjściem kolejnego impulsu wejściowego. Najkrótszy odstęp czasowy między impulsami zliczanymi musi być zatem dłuższy od czasu propagacji całego układu. To ograniczenie szybkości układów asynchronicznych może skłaniać do stosowania liczników synchronicznych, co jednak prowadzi do rozbudowania układu i zwiększenia liczby połączeń.

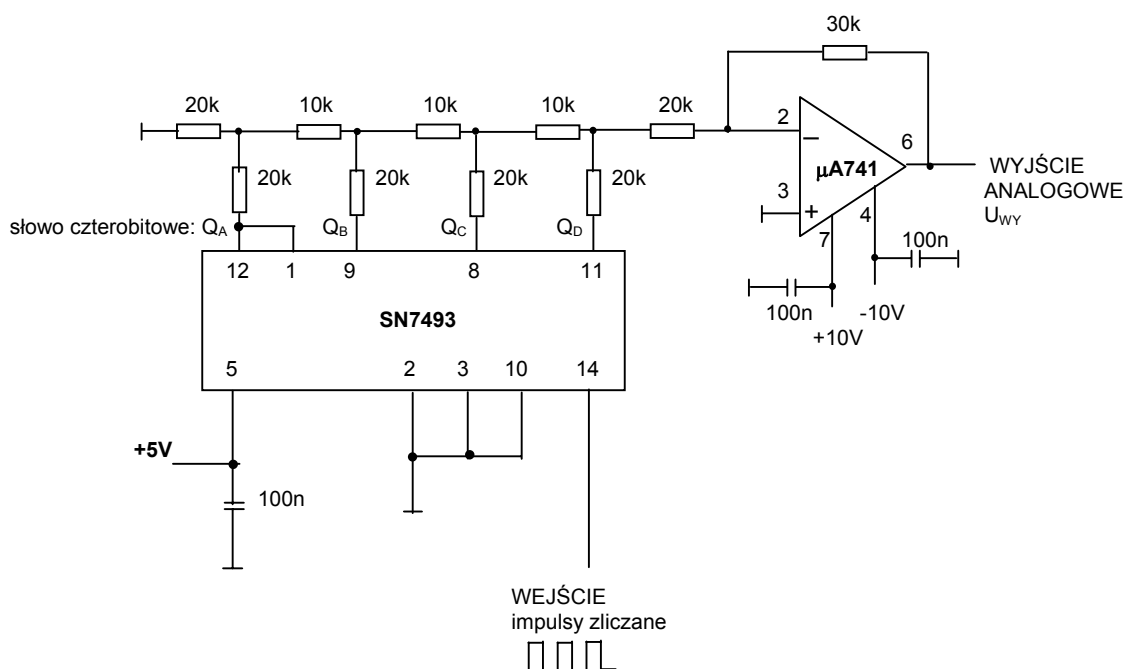
4) Słowo wyjściowe $Q_D Q_C Q_B Q_A$ licznika przedstawionego na rys. 2 podaje liczbę zliczonych impulsów w dwójkowym systemie liczbowym. Analogowy odpowiednik tej czterobitowej liczby binarnej można otrzymać przez sumowanie sygnałów związanych z wyjściami znajdującymi się w stanie wysokim, z uwzględnieniem wag $2^3, 2^2, 2^1, 2^0$ - idąc od bitu najstarszego. Posłużyć się tutaj można drabinką rezystorową typu R-2R posiadającą 4 węzły W_3, W_2, W_1, W_0 , pokazaną na rys. 4. Sumowaniu z odpowiednimi wagami będą tu podlegać prądy wynikające z pobudzenia węzłów drabinki stanami wysokimi U_H na wejściu cyfrowym - za pośrednictwem poprzecznych rezystorów $2R$. Na rysunku przedstawiono sytuację przy pobudzeniu tylko węzła W_2 , a więc dla stanu $Q_D=0, Q_C=1, Q_B=0, Q_A=0$. Prądem sumarycznym jest prąd I_3 . Pominięto tutaj wpływ stanów niskich, zakładając w uproszczeniu dla zera logicznego napięcie $U_L=0$ [V].



Rys. 4

Jak widać na przykładzie węzła W_2 , wokół dowolnego z węzłów drabinkę można zwinąć w ten sposób, że w każdą stronę widać rezystancję $2R$ - jeżeli zauważy się równoległe i szeregowe połączenia pewnych rezystorów. Zatem, jeżeli na pozycji bitu drugiego co do starszeństwa pojawi się stan wysoki U_H , to w węźle W_2 napięcie wyniesie $U_H/3$ i wobec tego prąd I_2 , wypływający z węzła w prawo, będzie równy $U_H/(6R)$. Prąd ten wpłynie z lewej strony do węzła W_3 i podzieli się na połowy w rozgałęzieniu $2R$ - $2R$. W ten sposób prąd $I_3 = I_2/2$. Gdyby więc na wejścia cyfrowe podano liczbę 0001, zostałby pobudzony węzeł W_0 i zaszłoby $I_3 = I_2/2 = I_1/4 = I_0/8$. Zatem przyczynek do wartości I_3 od pobudzenia U_H zależy od położenia węzła: dla sąsiedniego lewego przyczynek ten maleje dwukrotnie. Drabinka rezystorowa jest układem liniowym, zgodnie z zasadą superpozycji przyczynki się sumują i przy pobudzeniu kilku węzłów prąd I_3 jest sumą przyczynków od każdego, przy czym te przyczynki odpowiadają wagom 8,4,2,1 - idąc od bitu najbardziej znaczącego (W_3).

5) Jeśli prąd I_3 zamiast do masy skieruje się do przetwornika prąd-napięcie zbudowanego na wzmacniaczu operacyjnym w układzie odwracającym, to rozptyw prądów w drabince nie ulegnie zmianie, bowiem z bardzo dobrym przybliżeniem potencjał wejścia odwracającego jest równy zeru (masa pozorną). Na wyjściu wzmacniacza pojawi się napięcie ujemne będące analogowym odpowiednikiem liczby binarnej przyłożonej na wejścia cyfrowe drabinki. Współczynnik przetwarzania prąd-napięcie będzie zależał od rezystancji w obwodzie sprzężenia zwrotnego wzmacniacza.



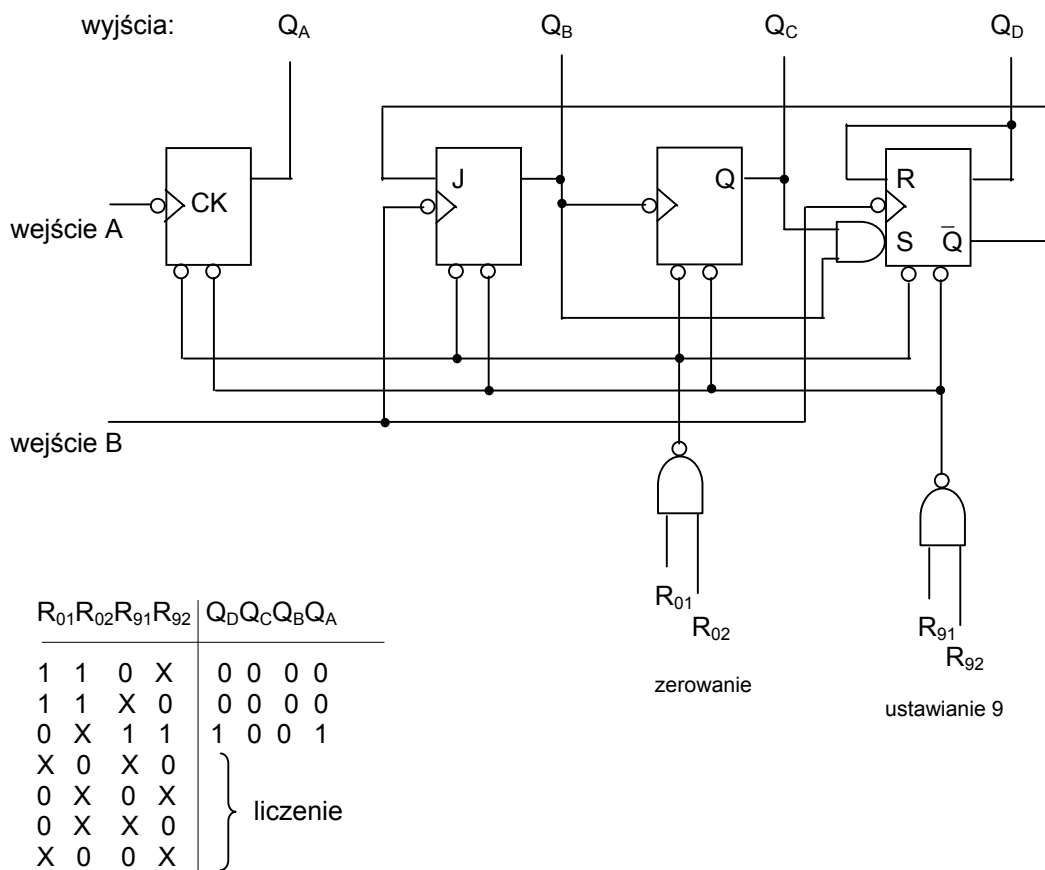
Rys. 5

Precyzja konwersji wielkości analogowych na cyfrowe i odwrotnie ma oczywisty związek z liczbą użytych bitów. Na przykład dla wymaganej precyzji 0,1% trzeba by operować słowami dziesięciobitowymi, a więc zastosować w przetworniku C/A licznik dziesięciobitowy i drabinkę o dziesięciu wejściach. Na dokładność zasadniczy wpływ będzie miała standaryzacja poziomów sygnałów cyfrowych na wartościach 0[V] i U_{REF} odpowiednio dla zera i jedynki logicznej, następnie kompensacja napięcia niezerównoważenia wzmacniacza operacyjnego oraz jednorodność i właściwy stosunek wartości rezystorów. To, że dokładność nie jest uzależniona od bezwzględnych wartości rezystorów, stanowi o atrakcyjności takiego rozwiązania w technologii układów monolitycznych, gdzie dość łatwo zapewnia się jednorodność i właściwy stosunek rezystancji, jeśli jest wyrażony niewielkimi liczbami, trudno zaś zagwarantować wąskie tolerancje co do bezwzględnych wartości rezystorów.

6) Na rys. 5 przedstawiono prosty układ czterobitowego przetwornika C/A z licznikiem 7493 w roli generatora słowa binarnego i ze wzmacniaczem operacyjnym $\mu A741$, użytym w układzie przetwornika I/U. Oczywiście, ze względu na zastosowanie wzmacniacza operacyjnego małej częstotliwości szybkość przetwarzania będzie niewielka, a więc pasywnicze stałe czasowe w układzie rezystorowym i szybkość licznika nie będą mieć znaczenia. Dla czterobitowego układu pozwalającego na precyzję około 5% nie będzie też miał znaczenia fakt, że poziomy napięć sterujących drabinkę nie są standaryzowane, i że nie skompensowano niezerównoważenia wzmacniacza operacyjnego. Zauważalny wpływ na dokładność może mieć natomiast rozrzut wartości rezystorów.

II Licznik dziesiętny SN7490

1) Układ 7490 składa się z czterech przerzutników typu *master-slave*, które tworzą dwa osobne liczniki: modulo 2 i modulo 5. Jeśli wyjście pierwszego (Q_A) przyłączy się do wejścia drugiego (B), to otrzyma się licznik dziesiętny pracujący w kodzie BCD8421 (*Binary Coded Decimal*), który przedstawia cyfry dziesiętne od 0 do 9 w postaci słowa czterobitowego, przy czym do poszczególnych pozycji bitowych przypisane są następujące wagi: 2^3 , 2^2 , 2^1 i 2^0 . Stan początkowy licznika $Q_D Q_C Q_B Q_A$ może być ustawiany z zewnątrz w postaci 0000 (zerowanie licznika przez wejścia R_{01} , R_{02}) lub 1001 (ustawianie dziewiątki, wejścia R_{91} , R_{92}). Schemat logiczny modułu 7490 przedstawiono na rys. 6, zaś na rys. 7 pokazano układ licznika dziesiętnego BCD8421, jego tablicę stanów oraz przebiegi czasowe na wejściach i wyjściach (podano je z zaniedbaniem czasów narastania i opadania sygnałów oraz czasu propagacji).

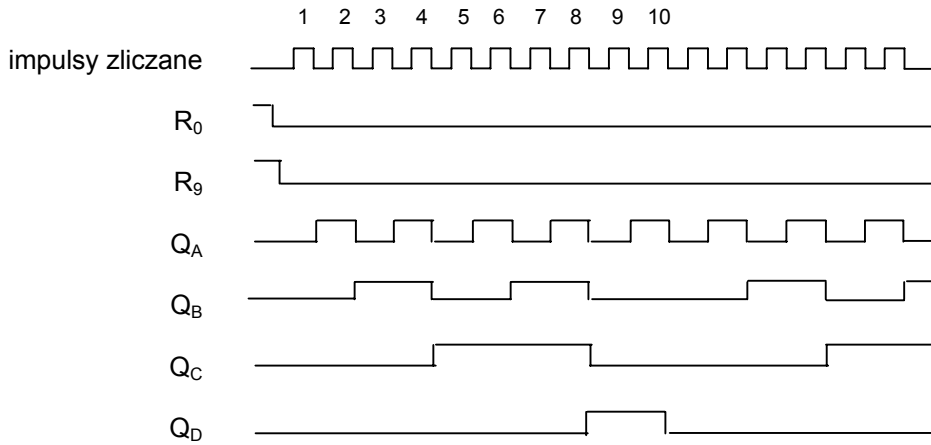
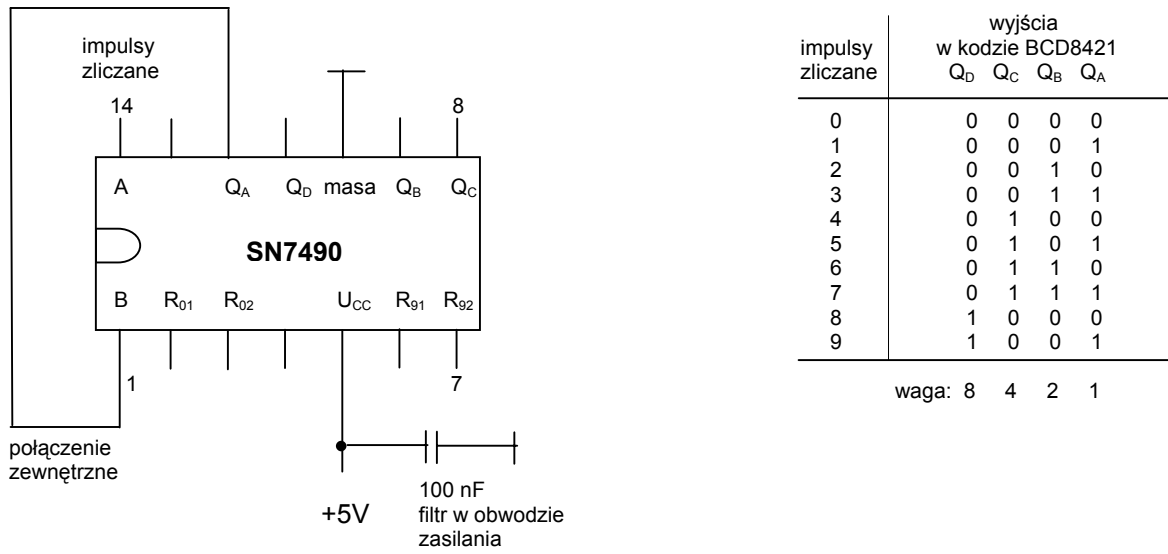


Rys. 6

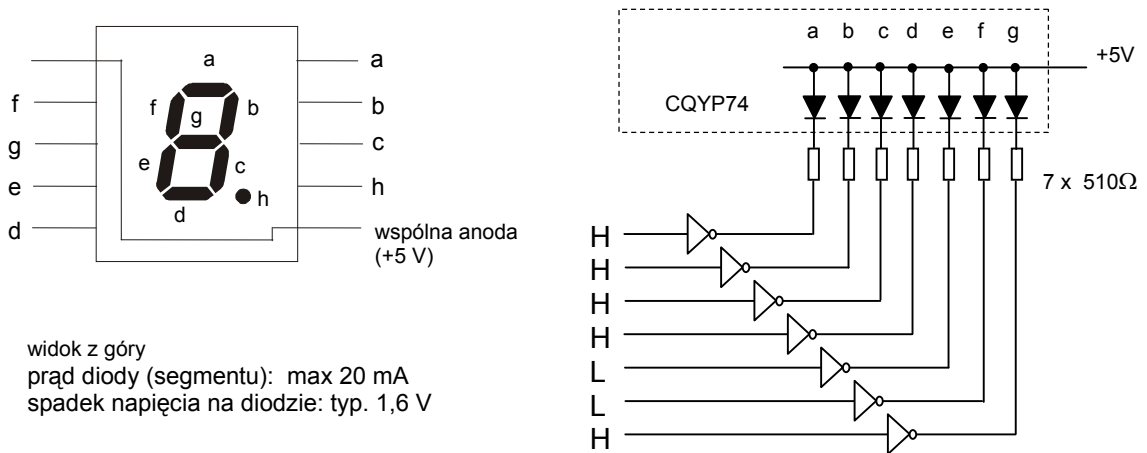
2) Układ SN7490 można stosować jako licznik dziesiętny w innej konfiguracji, w której najpierw występuje licznik modulo 5, a potem modulo 2, tzn. w której impulsy zliczane podaje się na wejście B, zaś wyjście Q_D łączy z wejściem A. Dostaje się wtedy licznik $Q_A Q_D Q_C Q_B$ pracujący w kodzie BCD5421. Przebieg na wyjściu Q_A - o częstotliwości dziesięciokrotnie niższej niż częstotliwość impulsów wejściowych - ma wtedy kształt fali prostokątnej, w której szerokość impulsu jest połową okresu, tzn. wypełnienie przebiegu wynosi 1/2. Oczywiście, każdy z liczników modułu 7490 może być wykorzystany osobno, jednak nie w pełni niezależnie, pamięta bowiem należy o wspólnych dla obydwu liczników szynach służących do ustawiania stanu początkowego.

3) Odczytu licznika można dokonać np. za pomocą siedmiosegmentowych elektroluminescencyjnych wskaźników cyfrowych. Trzeba w tym celu zastosować odpowiedni układ logiczny, który dla określonego stanu $Q_D Q_C Q_B Q_A$ zaświeci właściwe segmenty wskaźnika, tzn. spowoduje przepuszczenie prądu przewodzenia przez odpowiadające tym segmentom diody elektroluminescencyjne. W celu ograniczenia prądów diód należy w obwód każdej z nich włączyć rezystor; zwykle zadaje się wartość prądu diody w przedziale od kilku do kilkunastu miliamperów. Na rys. 8 przedstawiono wskaźnik CQYP-74, którego diody połączone są ze sobą anodami. Dla przykładu pokazano sposób sterowania w celu zaświecenia cyfry 3 - aktywne są mianowicie segmenty a,b,c,d,g; na rysunku nie uwzględniono obwodu kropki dziesiątej.

4) W układzie odczytu licznika SN7490 można posłużyć się modułami SN7447 z rodziny TTL, które są konwerterami kodu BCD8421 na kod siedmiosegmentowy. Oprócz 4 wejść informacyjnych (słowo BCD8421) i siedmiu wyjść, które przez rezystory sterują wskaźnikiem cyfrowym, moduł ten posiada trzy dodatkowe wyprowadzenia: LT - wejście testowe, RBI - wejście wygaszania zera, oraz BI/RBO - wejście wygaszania wskaźnika i równocześnie wyjście wygaszania zera. Funkcje te nie są aktywne, jeśli na wszystkie wymienione wejścia poda się poziom wysoki H. Bardziej szczegółowo działanie logiczne układu 7447 można poznać z tabeli stanów podawanej w katalogach układów TTL.

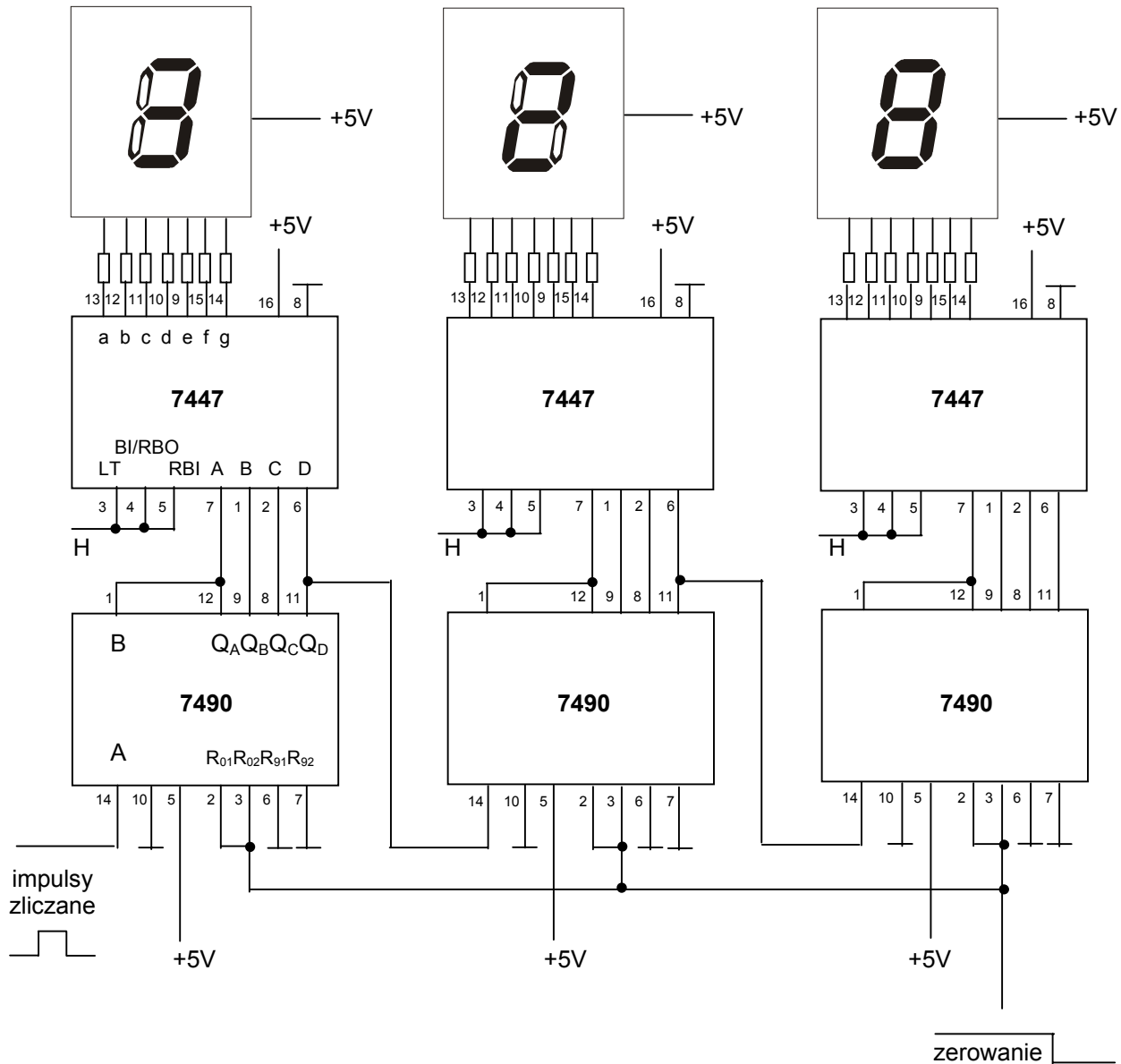


Rys. 7



Rys. 8

5) Łącząc kaskadowo n modułów 7490 (każdy w konfiguracji jak na rys. 7) otrzymuje się licznik dziesiętny n-dekadowy. Na rys. 9 przedstawiono trzydekadowy licznik z układem odczytu w najprostszej konfiguracji, bez wykorzystania funkcyjnych wejść konwerterów kodu. Pokazano stan po zliczeniu 823 impulsów. Nie użyto kropki dziesiętnej, w tym zastosowaniu zbędnej, która jednak - wraz z odpowiednim obwodem sterowania - potrzebna by była w przypadku użycia licznika do pomiaru średniej częstotliwości impulsów. Pominęto także kondensatory przeciwzakłócenia w obwodzie zasilania +5V.



Rys. 9

III Program ćwiczenia

1) Używając modułów SN7493 i SN7400 (lub ich odpowiedników albo wariantów) zaprojektować i zmontować dzielnik częstotliwości o zadanej przekładni (np. 1:9) lub licznik impulsów o zadanej pojemności (np. modulo 11) - wychodząc z tablicy stanów zadanego układu. Układ uruchomić i zbadać poprawność jego działania. Narysować przebiegi na wejściu i wyjściach, określić czas propagacji układu.

- 2) Według przedstawionej wyżej idei, używając licznika 7493 i wzmacniacza operacyjnego $\mu A741$, zaprojektować i zmontować przetwornik cyfrowo-analogowy trzybitowy lub czterobitowy, dla którego maksymalna bezwzględna wartość napięcia wyjściowego wynosi 3,5V lub 5V odpowiednio. Podać na wejście licznika przebieg prostokątny niskiej częstotliwości, np. 100Hz, odpowiednio standaryzowany co do poziomów napięcia H i L, i zaobserwować oraz przerysować przebieg wyjściowy. Podając na wejście licznika pojedyncze impulsy, albo też przebieg prostokątny b. małej częstotliwości, np. 0,25Hz, zmierzyć napięcie wyjściowe przetwornika dla kolejnych stanów na wyjściu licznika od 000 (lub 0000) do 111 (lub 1111). Narysować na tej podstawie charakterystykę WY-WE przetwornika. Zmierzyć napięcie w poszczególnych węzłach drabinki rezystorowej dla następujących słów na wejściu cyfrowym: 000, 010, 111 (lub 0000, 0010, 1111 w przypadku przetwornika czterobitowego). Zbadać szybkość zbudowanego układu.
- 3) Sprawdzić działanie modułu SN7490 (lub odpowiednika) w połączeniach odpowiadających kodom o wagach 8421 i 5421. W tym drugim przypadku podać tablicę stanów wyjść $Q_A Q_D Q_C Q_B$ i sprawdzić ją doświadczalnie, a następnie przerysować przebiegi czasowe kolejno na wyjściach Q_B, Q_C, Q_D, Q_A - w odpowiedzi na regularny przebieg prostokątny. Wyznaczyć czas propagacji licznika.
- 4) Zbudować i sprawdzić licznik z odczytem na elektroluminescencyjnych wskaźnikach siedmiosegmentowych z wykorzystaniem modułu SN7447, w najprostszym przypadku jednodekadowy.

LITERATURA

Sasal W., *Układy scalone serii UCA64/UCY74, parametry i zastosowania*
Tietze U., Schenk C., *Układy półprzewodnikowe*
Filipkowski A., *Układy elektroniczne analogowe i cyfrowe*