

# Stabilizatory napięcia stałego

Dominik Przyborowski

16 marca 2015

## 1. Wstęp

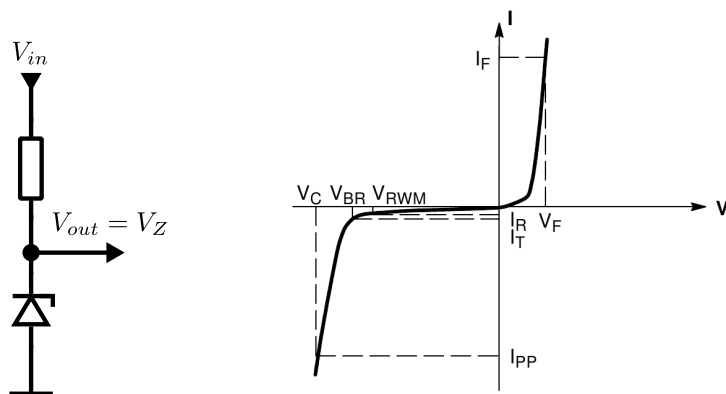
Układy elektroniczne zarówno analogowe jak i cyfrowe wymagają stabilnego napięcia zasilania. Ze względu na fakt, iż parametry układu zasilającego wpływają zasadniczo na pracę zasilanego układu elektronicznego, zatem uzyskanie wysokostabilnych napięć stałych jest szczególnie istotne, np. w układach elektronicznych stosowanych w fizyce eksperymentalnej.

Celem niniejszego ćwiczenia jest zapoznanie się z podstawowymi rodzajami stabilizatorów napięcia stałego, używanymi w układach zasilających elektronikę zarówno użytkową jak i wyspecjalizowaną. Zrozumienie idei działania, podstawowych parametrów oraz ograniczeń stabilizatorów kompensacyjnych o działaniu ciągłym i przetwornic impulsowych DC–DC.

### 1.1. Stabilizatory parametryczne

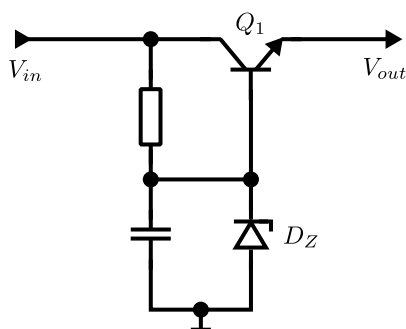
Najprostszym elementem stabilizującym jest dioda zenera, która spolaryzowana w kierunku zaporowym daje spadek napięcia o wartości napięcia zenera właściwego dla danej diody zenera. Niestety nachylenie ch–ki  $U_Z = f(I_d)$  nie jest wystarczająco stromą powodując *dryf* napięcia wyjściowego w funkcji prądu obciążenia diody. Podobnie ma się silna zależność temperaturowa napięcia zenera. Schemat stabilizatora zbudowanego na diodzie zenera oraz ch–ka prądowo napięciowa przedstawia Rys. 1

Poprawę parametrów układu stabilizatora można uzyskać poprzez wykorzystanie tranzystora NPN jako elementu wykonawczego, polaryzowanego przez diodę zenera. Taka modyfikacja powoduje, że zmiany prądu polaryzującego diodę zenera zmieniają się tylko o prąd bazy tranzystora wykonawczego, który może stanowić tylko nieznaczną frakcję prądu diody, dając wystarczająco płaską ch–kę wyjściową stabilizatora ( $V_{out} = f(I_{out})$ ). Wartość napięcia wyjściowego wynosi wówczas  $V_{out} = V_Z - V_{BE}$ . Schemat tak zmodyfikowanego układu przedstawia Rys. 2. Powyżej przedstawione rodzaje układów należą do rodziny tzw. stabilizatorów parametrycznych napięcia stałego. Brak ujemnego sprzężenia



Rysunek 1: Dioda zenera jako stabilizator napięcia

zwrotnego uniemożliwia uzyskanie niskiej rezystancji wyjściowej układu. Wspomniane mankamenty ograniczają możliwość zastosowania stabilizatorów parametrycznych w innych niż bardzo niewymagających układach zasilających.



Rysunek 2: Schemat stabilizatora liniowego wykorzystującego tranzystor NPN jako element regulacyjny.

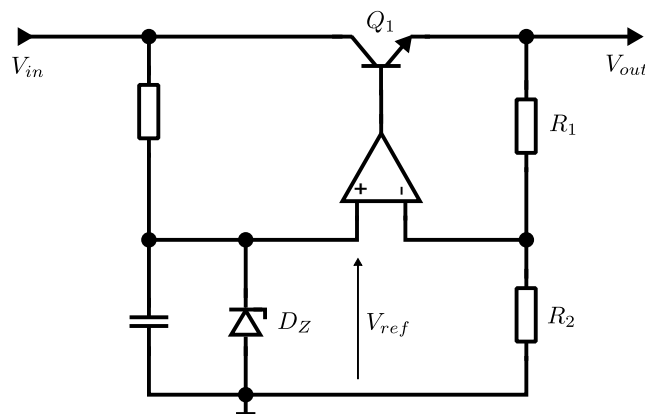
## 1.2. Stabilizatory kompensacyjne o działaniu ciągłym

Stabilizatory kompensacyjne wykorzystują ujemną pętlę sprzężenia zwrotnego do stabilizacji napięcia wyjściowego w funkcji prądu obciążenia. W tym celu element regulacyjny w postaci tranzystora NPN jest polaryzowany przez wzmacniacz błędny zaimplementowany

przy użyciu wzmacniacza różnicowego. Dioda zenera może służyć za źródło napięcia odniesienia dla wzmacniacza błędów, natomiast wartość wyjściowego napięcia ustalana jest na podstawie dzielnika rezystorowego pętli sprzężenia zwrotnego i dana jest zależnością (1). Schemat układu stabilizatora przedstawia Rys. 3.

$$V_{out} = V_{ref} \cdot \left(1 + \frac{R_1}{R_2}\right) \quad (1)$$

Profesjonalne układy stabilizatorów napięcia o działaniu ciągłym muszą odznaczać się



Rysunek 3: Schemat układu stabilizatora liniowego o napięciu wyjściowym niezależnym od prądu obciążenia.

dodatkowo stabilnością temperaturową oraz odpornością na przeciążenia. W tym celu stosuje się zarówno kompensację temperaturową źródła napięcia referencyjnego jak i układy ograniczników prądu wyjściowego. Aby mocniej uniezależnić stabilizowane napięcie wyjściowe od czynników zewnętrznych oraz wahań napięcia wejściowego, można zastosować wyspecjalizowane źródła referencyjne stałe w funkcji temperatury oraz napięcia zasilania. Przykładem takiego precyzyjnego źródła referencyjnego jest układ typu *BandGap* (np. LM385) dający napięcie  $\approx 1.25$  (V) w szerokim zakresie temperatur i napięć zasilania.

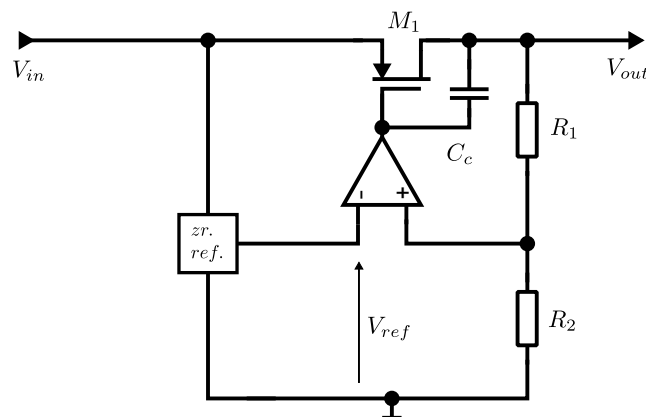
Zastosowanie ujemnej pętli sprzężenia zwrotnego znacząco zmniejsza rezystancję wyjściową regulatora o wartość wzmocnienia w otwartej pętli wzmacniacza błędów. Ze względu na ograniczony zakres dynamiczny wzmacniaczy operacyjnych, minimalne napięcie wejściowe podawane na układ regulatora powinno być większe od napięcia stabilizowanego

o przynajmniej dwukrotność napięcia baza–emiter tranzystora krzemowego, tj. o ok. 1.5 V.

### 1.3. Stabilizatory o niskim spadku napięcia na elemencie wykonawczym LDO – *Low DropOut regulators*

Stabilizatory typu LDO są ostatnim rozwinięciem układów regulatorów kompensujących o działaniu ciągłym. Z układowego punktu widzenia są one bardzo zbliżone do opisanych wcześniej stabilizatorów kompensujących, jednakże zastosowanie tranzystora PNP lub wręcz pMOSFET pozwala na znaczącą poprawę sprawności układu poprzez zbliżenie wartości napięcia stabilizowanego do wartości napięcia wejściowego. Jest to związane z faktem, iż spadek napięcia na pracującym jako źródło prądu tranzystorze wykonawczym, może wynosić na granicy obszarów pracy ch–ki wyjściowej (liniowym/nasycenia dla tranzystora bipolarnego, bądź triodowym/pentodowym dla tranzystora polowego) zaledwie od kilkudziesięciu do kilkuset mV. Z tego też powodu układy LDO znalazły szerokie zastosowanie jako wewnętrzne stabilizatory napięcia w układach scalonych typu SoC (ang. *Systems on Chip*) szeroko rozpowszechnionych w systemach telekomunikacyjnych, detekcyjnych bądź zaawansowanego przetwarzania sygnału jak DSP (ang. *Digital Signal Processing*) bądź DDS (ang. *Direct Digital Synthesis*).

Uproszczony schemat układu stabilizatora typu LDO przedstawiono na Rys. 4. Głównym



Rysunek 4: Uproszczony schemat stabilizatora LDO.

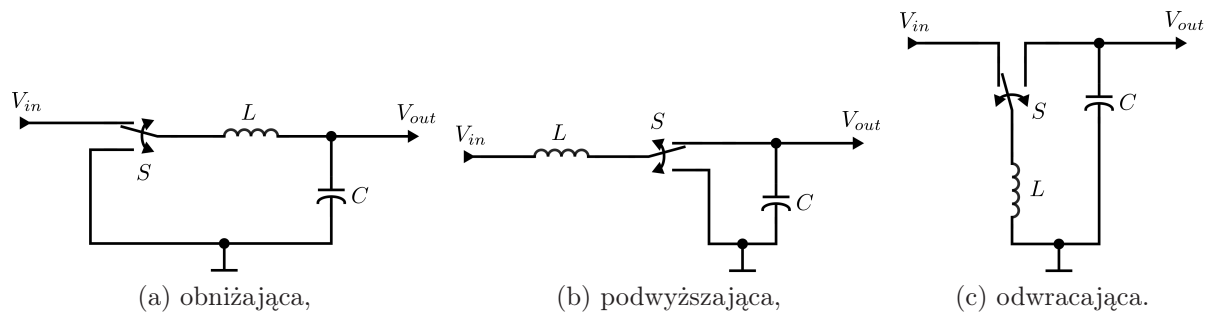
wyzwaniem projektowym jest zapewnienie stabilnej pracy układu. W przeciwieństwie do

standardowych stabilizatorów kompensujących, w których sprzężenie zapięte jest między bazą/bramką i emiterem/źródłem tranzystora wykonawczego, skutkując brakiem przesunięcia fazowego sygnału sterującego tranzystorem; w stabilizatorach LDO sprzężenie zwrotne istnieje między bazą/bramką a kolektorem/drenem tranzystora powodując przesunięcie fazy sygnału o  $\pi$  oraz dodatkowe jego wzmocnienie. Sytuacja ta wymusza stosowanie skomplikowanych układów kompensujących, zaznaczonych symbolicznie na Rys. 4 w postaci kondensatora  $C_c$ .

#### 1.4. Stabilizatory impulsowe

Stabilizatory o działaniu ciągłym, mimo wielu zalet jakimi są szybkość odpowiedzi, czy niski poziom szumów, charakteryzują się niską sprawnością wynikającą z ciągłych strat mocy na tranzystorze wykonawczym. Poprawę sprawności stabilizatora można osiągnąć zastępując tranzystor wykonawczy kluczem, sterowanym przebiegiem prostokątnym o zmiennym wypełnieniu. W sytuacji tej stałe w czasie napięcie wyjściowe uzyskuje się poprzez zastosowanie filtra dolnoprzepustowego LC.

Zastosowanie metody próbkowania napięcia wejściowego i gromadzenia energii w filtrze LC, pozwala na uzyskanie na wyjściu stabilizatora napięcia niższego (ang. *step-down*), wyższego (ang. *step-up*) lub o przeciwnej polarności (ang. *inverting*). Uprozczone schematy ideowe ww. przetwornic przedstawiono na Rys. 5. Ideę działania stabilizatorów



Rysunek 5: Uprozczone schematy przetwornic napięcia:

impulsowych prześledźmy na przykładzie przetwornicy obniżającej. Kiedy klucz  $S$  jest w pozycji łączącej dławik  $L$  z wejściem, następuje doładowanie kondensatora  $C$ . Po

przełączeniu klucza, energia zmagazynowana w dławiku i kondensatorze, jest przekazywana do odbiornika, aż do momentu kolejnego przełączenia klucza i uzupełnienia energii gromadzonej we filtrze LC. Sterowanie kluczem  $S$  jest wykonywane przez układ pracujący w pętli sprzężenia zwrotnego, kontrolującej potencjał stały na wyjściu przetwornicy, poprzez otwieranie/zamykanie klucza przebiegiem prostokątnym o zmiennym wypełnieniu. Wypełnienie przebiegu sterującego zależy od różnicy napięć wejściowego i wyjściowego przetwornicy oraz prądu obciążenia. Napięcie wyjściowe jest zatem średnią arytmetyczną wartości napięcia w węźle łączącym klucz z dławikiem i dane jest zależnością (2):

$$V_{out} = DC \cdot V_{in}, \quad (2)$$

gdzie  $DC$  jest współczynnikiem wypełnienia sygnału sterującego kluczem (ang. *duty cycle*).

Impulsowe działanie przetwornicy pozwala na uzyskanie bardzo wysokiej sprawności, osiągającej wartości nawet 90 % i uzyskanie sytuacji, w której prąd wyjściowy układu jest wyższy od prądu pobieranego ze źródła zgodnie z zasadą zachowania energii:

$$\eta \cdot V_{in} \cdot I_{in} = V_{out} \cdot I_{out}, \quad (3)$$

gdzie  $\eta$  jest sprawnością układu.

Ze względu na niemożność pracy przetwornicy z zerowym wypełnieniem przebiegu i z faktu, iż połączenie dławika z kondensatorem daje układ rezonansowy, przetwornice impulsowe wymagają do poprawnej pracy, pewnej minimalnej wartości prądu obciążającego.

## 2. Parametry stabilizatorów napięcia

Z racji szerokiej gamy zastosowań i często diametralnie różnych wymagań stawianych stabilizatorom napięcia, w ich specyfikacji podaje się szereg parametrów z których do najważniejszych można zaliczyć:

1.  $V_{out}$  – nominalne napięcie pracy, np. +5 V, +3 – +12 V,
2.  $I_{out}^{max}$  – maksymalny prąd obciążenia, np. 1 A, 2.5 A,
3.  $I_{out}^{min}$  – minimalny prąd obciążenia (podawany w przypadku przetwornic impulsowych), np. 100 mA,

4.  $R_{out} = \frac{dV_{out}}{dI_{out}}$  – rezystancja wyjściowa,
5.  $R_{in} = \frac{dV_{in}}{dI_{in}}$  – rezystancja wejściowa,
6.  $S_V = \frac{dV_{out}}{dV_{in}}$  – współczynnik stabilizacji napięciowej,
7.  $S_{TV} = \frac{\partial V_{out}}{\partial T}$  – dryf termiczny napięcia wyjściowego,
8.  $\alpha_V = \frac{1}{V_{out}} \frac{\partial V_{out}}{\partial T} = \frac{\partial \ln(V_{out})}{\partial T}$  – współczynnik dryfu termicznego napięcia wyjściowego,
9.  $\eta = \frac{P_{out}}{P_{in}}$  – sprawność energetyczna układu,
10.  $PSRR$  (ang. *Power Supply Rejection Ratio*) – współczynnik tłumienia zakłóceń od zasilania

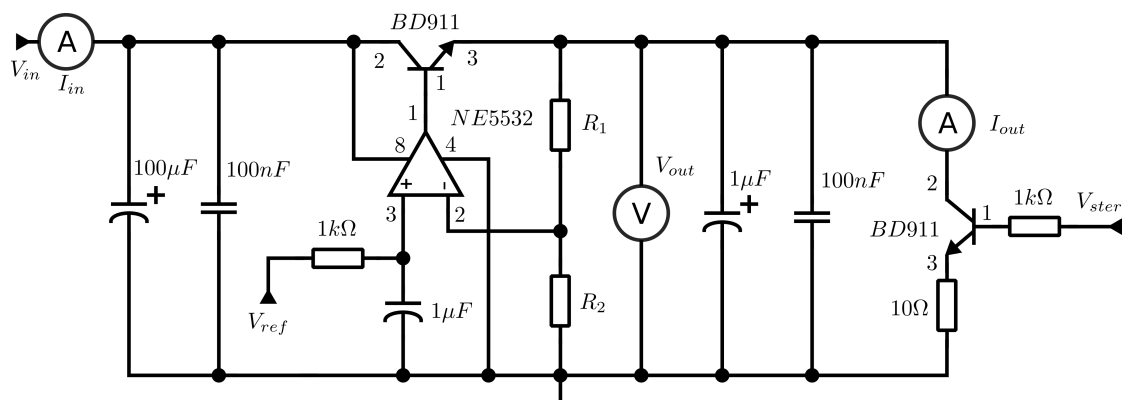
### 3. Program ćwiczenia

W trakcie ćwiczenia należy zaprojektować na płytce montażowej układ regulatora kompensacyjnego o działaniu ciągłym, następnie zbadać jego parametry w funkcji napięcia wejściowego oraz prądu obciążenia. W kolejnej części ćwiczenia zostaną sparametryzowane układy stabilizatora LDO TPS7250 oraz przetwornika DC–DC TPS40200 dostępne na modułach ewaluacyjnych TI *Analog System Lab Kit PRO*.

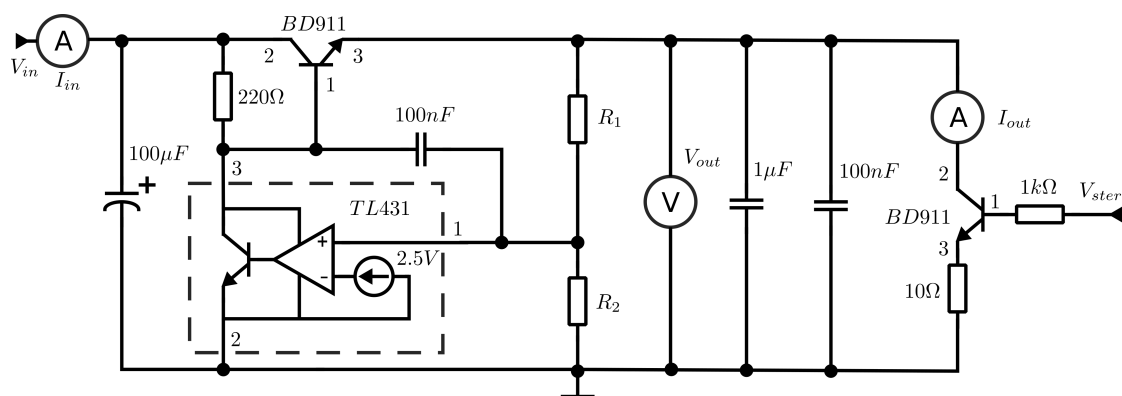
#### 3.1. Stabilizator kompensacyjny

W trakcie montażu układu na płytce stykowej należy zadbać o właściwe rozprowadzenie szyn zasilających ( $V_{in}$  oraz masy). Masa układu powinna posiadać jeden punkt wspólny na płytce stykowej, z którego jest ona następnie rozprowadzana do układu wzmacniacza błędów i źródła prądu obciążającego stabilizator. Dodatkowo należy dokonać minimalizacji indukcyjności doprowadzeń poprzez stosowanie możliwie krótkich i grubych przewodów.

Możliwe są dwa warianty układu: pierwszy przedstawiony na Rys. 6, wykorzystujący zewnętrzną referencję (zasilacz bądź scalone źródło referencyjne, np. TL431) oraz wzmacniacz błędów będący wzmacniaczem operacyjnym (np. NE5532) oraz drugi, wykorzystujący scalony układ TL431 jako układ kompensacji zmian napięcia wyjściowego (Rys. 7).



Rysunek 6: Schemat wykonywanego stabilizatora kompensującego przy użyciu wzmacniacza operacyjnego.



Rysunek 7: Schemat wykonywanego stabilizatora kompensującego przy użyciu układu TL431.

1. Złożyć na płytce montażowej układ stabilizatora kompensującego wg schematu z Rys. 6 lub Rys. 7. Wartości rezystorów sprzężenia wzmacniacza błędów dobrać tak aby prąd przezeń płynący był rzędu 5 mA. Napięcie referencyjne  $V_{ref}$  przyjąć w okolicach 2–2.5 V, napięcie wyjściowe podaje prowadzący (w zakresie od 4 do 6 V). Źródło prądu obciążenia złożyć, przy użyciu drugiego tranzystora BD911, zdegenerowanego rezystorem  $10\ \Omega$  z szeregową rezystancją w bazie  $1\ \text{k}\Omega$ . Zmiana napięcia sterującego prądem obciążenia  $V_{ster}$  w zakresie od 0 do 3 V zapewnia zmianę prądu obciążenia do wartości ok. 200 mA.



2. Przy ustalonej wartości prądu obciążenia  $I_{out}$  dokonać pomiarów zmian wartości napięcia wyjściowego w funkcji napięcia wejściowego  $V_{out} = f(V_{in})|_{I_{out}=const}$  – napięcie wejściowe zmieniać w zakresie od nominalnego  $V_{out}$  do wartości wyższej o 5 V, z zagęszczeniem kroku pomiarowego w okolicy  $V_{in} = V_{out}|_{nominal} + 1.5 V$ . Pomiarów dokonać dla dwóch przypadków prądu obciążenia, np. 80 mA oraz 5 mA. W celu pełnej parametryzacji układu należy notować cztery parametry:  $V_{in}$ ,  $I_{in}$ ,  $V_{out}$  oraz  $I_{out}$ .
3. Przy ustalonej wartości napięcia wejściowego  $V_{in}$  (wyższej od  $V_{out}$  o ok. 2 V dokonać pomiarów zależności napięcia wyjściowego od prądu obciążenia  $V_{out} = f(I_{out})|_{V_{in}=const}$ . Podobnie jak w punkcie poprzednim zanotować wartości napięć i prądów na wejściu oraz wyjściu układu.
4. Zbadać odpowiedź układu stabilizatora na skok prądu obciążenia. W tym celu podać na wejście  $V_{ster}$  przebieg prostokątny z generatora od 0 do wartości napięcia, przy której prąd obciążenia osiąga wartość ok. 100 mA i częstotliwości ok. 1 kHz. Zaobserwować przebieg napięcia wyjściowego oraz zanotować maksymalną amplitudę szarpnięcia wyjściowego napięcia i czas jego powrotu do wartości ustalonej. W celu zminimalizowania wpływu indukcyjności połączeń, odpiąć wszystkie mierniki i zastąpić je możliwie krótkimi przewodami.

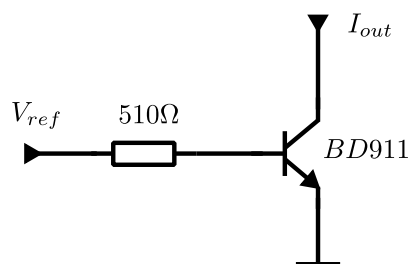
### 3.2. Stabilizator LDO

1. W sekcji LDO modułu ewaluacyjnego TI *Analog System Lab Kit PRO* ustawić zasilanie LDO na zewnętrzne ( $V_{in}$ ) oraz sygnał *Enable LDO* na „on”.
2. Dla dwóch ustalonych wartości prądu obciążenia (np. 10 mA oraz 100 mA) dokonać pomiaru napięcia wyjściowego w funkcji napięcia wejściowego  $V_{out} = f(V_{in})|_{I_{out}=const}$ . Pomiarów dokonać w zakresie od 4 do 10 V z zagęszczeniem punktów w okolicy 4.9–5.25 V. Zanotować wartości napięć i prądów wejściowych i wyjściowych układu.
3. Przy ustalonej wartości napięcia wejściowego  $V_{in} = 5.5 V$  dokonać pomiarów zależności napięcia wyjściowego od prądu obciążenia  $V_{out} = f(I_{out})|_{V_{in}=const}$ , w zakresie od 10 do 100 mA. Zanotować wartości napięć i prądów wejściowych i wyjściowych układu.
4. Zbadać odpowiedź układu LDO na skok prądu obciążenia. W tym celu podać na wejście  $V_{ster}$  przebieg prostokątny z generatora od 0 do wartości napięcia, przy której prąd obciążenia osiąga wartość ok. 80 mA i częstotliwości ok. 1 kHz. Zaobserwować

przebieg napięcia wyjściowego oraz zanotować maksymalną amplitudę szarpnięcia wyjściowego napięcia i czas jego powrotu do wartości ustalonej. W celu zminimalizowania wpływu indukcyjności połączeń, odpiąć wszystkie mierniki i zastąpić je możliwie krótkimi przewodami.

### 3.3. Przetwornica DC–DC

1. W sekcji DC–DC modułu ewaluacyjnego TI *Analog System Lab Kit PRO* ustawić zasilanie zewnętrzne ( $V_{in}$ ), natomiast napięcie wyjściowe na 3.3 V - zworka JP8.
2. Z faktu, iż przetwornice DC–DC wymagają minimalnego obciążenia, które w przypadku układu TPS40200 wynosi ok. 100 mA, na dołączonej płytce montażowej zmontować źródło prądowe wg schematu z Rys. 8.
3. Obserwować na oscyloskopie sygnały wyjścia generatora przebiegu piłokształtnego  $RC$  (TP3), wyjścia PWM (TP4) oraz wyjścia układu. Określić poziom tętnień napięcia wyjściowego. Dla wybranego punktu pracy układu przerysować wspomniane przebiegi.
4. Dla ustalonej wartości prądu obciążenia zbadać zależność napięcia wyjściowego  $V_{out}$  oraz współczynnika wypełnienia PWM od napięcia wejściowego  $V_{in}$ . Zanotować wartości napięć i prądów wejściowych i wyjściowych układu.
5. Dla ustalonej wartości napięcia wejściowego  $V_{in} = 5\text{ V}$  dokonać pomiaru napięcia wyjściowego w funkcji prądu obciążenia  $V_{out} = f(I_{out})|_{V_{in}=const}$  w zakresie od 0.15 do 1 A. Prąd obciążenia regulowany jest napięciem  $V_{ref}$  źródła obciążenia z Rys. 8. Zanotować wartości napięć i prądów wejściowych i wyjściowych układu.



Rysunek 8: Implementacja sterowanego źródła prądowego dla układu przetwornicy DC–DC.

## 4. Opracowanie wyników

### 4.1. Stabilizator kompensacyjny

1. Wykreślić ch-kę przejściową  $V_{out} = f(V_{in})|_{I_{out}}$  stabilizatora kompensującego i wyznaczyć współczynnik stabilizacji napięciowej  $S_V$ .
2. Wykreślić ch-kę wyjściową  $V_{out} = f(I_{out})|_{V_{in}}$  stabilizatora kompensującego i wyznaczyć rezystancję wyjściową  $R_{out}$ .
3. Dla każdego przypadku wyznaczyć sprawność układu  $\eta$ . Wykreślić rodzinę ch-k sprawności  $\eta = f(V_{in})|_{I_{out}}$  oraz  $\eta = f(I_{out})|_{V_{in}}$ .
4. Określić minimalny spadek napięcia na elemencie wykonawczym  $V_{drop}$  wymagany do poprawnej pracy układu.
5. Narysować przebieg napięcia wyjściowego w funkcji czasu w odpowiedzi na skokową zmianę prądu obciążenia. Zaznaczyć amplitudę szarpnięcia napięcia i czas powrotu do wartości ustalonej.

### 4.2. Stabilizator LDO

1. Wykreślić ch-kę przejściową  $V_{out} = f(V_{in})|_{I_{out}}$  stabilizatora LDO i wyznaczyć współczynnik stabilizacji napięciowej  $S_V$ .
2. Wykreślić ch-kę wyjściową  $V_{out} = f(I_{out})|_{V_{in}}$  stabilizatora LDO i wyznaczyć rezystancję wyjściową  $R_{out}$ .
3. Dla każdego przypadku wyznaczyć sprawność układu  $\eta$ . Wykreślić rodzinę ch-k sprawności  $\eta = f(V_{in})|_{I_{out}}$  oraz  $\eta = f(I_{out})|_{V_{in}}$ .
4. Określić minimalny spadek napięcia na elemencie wykonawczym  $V_{drop}$  wymagany do poprawnej pracy układu.
5. Narysować przebieg napięcia wyjściowego w funkcji czasu w odpowiedzi na skokową zmianę prądu obciążenia. Zaznaczyć amplitudę szarpnięcia napięcia i czas powrotu do wartości ustalonej.

### 4.3. Przetwornica DC-DC

1. Na wspólnym układzie współrzędnych umieścić zależność  $V_{out} = DC_{PWM} \cdot V_{in}$  oraz zmierzoną ch-kę przejściową  $V_{out} = f(V_{in})|_{I_{in}}$ . Porównać obie zależności.

2. Dla każdego przypadku wyznaczyć sprawność układu  $\eta$ . Wykreślić rodzinę ch–k sprawności  $\eta = f(V_{in})|_{I_{out}}$  oraz  $\eta = f(I_{out})|_{V_{in}}$ .

## Literatura

- [1] Z. Kulka, M. Nadachowski: *Liniowe Układy Scalone i ich zastosowanie, wyd. 3.* WKiŁ W-wa 1977.
- [2] L. J. Giacoletto: *Electronics Designers' Handbook, 2<sup>nd</sup> ed.* McGraw–Hill 1977.
- [3] B. S. Lee: *Understanding the Terms and Definitions of LDO Voltage Regulators.* Texas Instrument Application Report SLVA079–1999. [www.ti.com/lit/an/slva079/slva079.pdf](http://www.ti.com/lit/an/slva079/slva079.pdf)
- [4] U. Tietze, C. Schenk: *Układy półprzewodnikowe.* WNT, 1996.

# TL431/TL431A

## Programmable Shunt Regulator

### Features

- Programmable Output Voltage to 36 Volts
- Low Dynamic Output Impedance 0.2Ω Typical
- Sink Current Capability of 1.0 to 100mA
- Equivalent Full-Range Temperature Coefficient of 50ppm/°C Typical
- Temperature Compensated For Operation Over Full Rated Operating Temperature Range
- Low Output Noise Voltage
- Fast Turn-on Response

### Description

The TL431/TL431A are three-terminal adjustable regulator series with a guaranteed thermal stability over applicable temperature ranges. The output voltage may be set to any value between VREF (approximately 2.5 volts) and 36 volts with two external resistors. These devices have a typical dynamic output impedance of 0.2Ω. Active output circuitry provides a very sharp turn-on characteristic, making these devices excel as a replacement for zener diodes in many applications.

#### TO-92



1. Ref 2. Anode 3. Cathode

#### 8-DIP



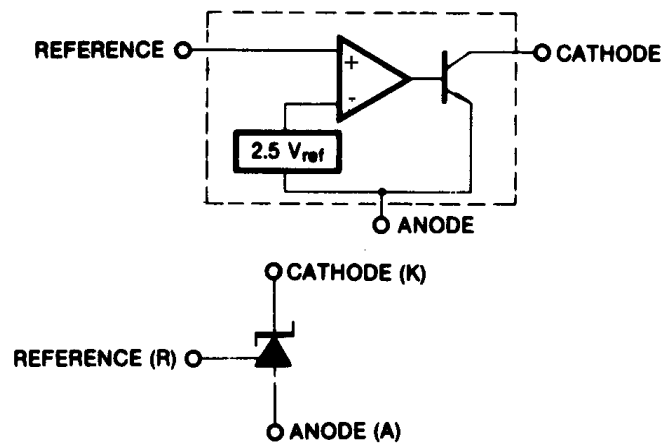
1.Cathode 2.3.4.5.7.NC  
6.Anode 8.Ref

#### 8-SOP



1. Cathode 2. 3. 6. 7. Anode  
8. Ref 4. 5. NC

## Internal Block Diagram



## Absolute Maximum Ratings

(Operating temperature range applies unless otherwise specified.)

Parameter	Symbol	Value	Unit
Cathode Voltage	V <sub>KA</sub>	37	V
Cathode Current Range (Continuous)	I <sub>KA</sub>	-100 ~ +150	mA
Reference Input Current Range	I <sub>REF</sub>	-0.05 ~ +10	mA
Power Dissipation D, LP Suffix Package	PD	770	mW
P Suffix Package		1000	mW
Operating Temperature Range	T <sub>OPR</sub>	-25 ~ +85	°C
Junction Temperature	T <sub>J</sub>	150	°C
Storage Temperature Range	T <sub>STG</sub>	-65 ~ +150	°C

## Recommended Operating Conditions

Parameter	Symbol	Min	Typ	Max	Unit
Cathode Voltage	V <sub>KA</sub>	V <sub>REF</sub>	-	36	V
Cathode Current	I <sub>KA</sub>	1.0	-	100	mA

## Electrical Characteristics

( $T_A = +25^\circ\text{C}$ , unless otherwise specified)

Parameter	Symbol	Conditions	TL431			TL431A			Unit	
			Min.	Typ.	Max.	Min.	Typ.	Max.		
Reference Input Voltage	$V_{REF}$	$V_{KA}=V_{REF}, I_{KA}=10\text{mA}$	2.440	2.495	2.550	2.470	2.495	2.520	V	
Deviation of Reference Input Voltage Over-Temperature (Note 1)	$\Delta V_{REF}/\Delta T$	$V_{KA}=V_{REF}, I_{KA}=10\text{mA}$ $T_{MIN} \leq T_A \leq T_{MAX}$	-	4.5	17	-	4.5	17	mV	
Ratio of Change in Reference Input Voltage to the Change in Cathode Voltage	$\Delta V_{REF}/\Delta V_{KA}$	$I_{KA}=10\text{mA}$	$\Delta V_{KA}=10\text{V}-V_{REF}$	-	-1.0	-2.7	-	-1.0	-2.7	mV/V
			$\Delta V_{KA}=36\text{V}-10\text{V}$	-	-0.5	-2.0	-	-0.5	-2.0	
Reference Input Current	$I_{REF}$	$I_{KA}=10\text{mA}, R_1=10\text{K}\Omega, R_2=\infty$	-	1.5	4	-	1.5	4	$\mu\text{A}$	
Deviation of Reference Input Current Over Full Temperature Range	$\Delta I_{REF}/\Delta T$	$I_{KA}=10\text{mA}, R_1=10\text{K}\Omega, R_2=\infty$ $T_A = \text{Full Range}$	-	0.4	1.2	-	0.4	1.2	$\mu\text{A}$	
Minimum Cathode Current for Regulation	$I_{KA(MIN)}$	$V_{KA}=V_{REF}$	-	0.45	1.0	-	0.45	1.0	mA	
Off - Stage Cathode Current	$I_{KA(OFF)}$	$V_{KA}=36\text{V}, V_{REF}=0$	-	0.05	1.0	-	0.05	1.0	$\mu\text{A}$	
Dynamic Impedance (Note 2)	$Z_{KA}$	$V_{KA}=V_{REF}, I_{KA}=1 \text{ to } 100\text{mA}$ $f \geq 1.0\text{KHz}$	-	0.15	0.5	-	0.15	0.5	$\Omega$	

- $T_{MIN} = -25^\circ\text{C}, T_{MAX} = +85^\circ\text{C}$

## Test Circuits

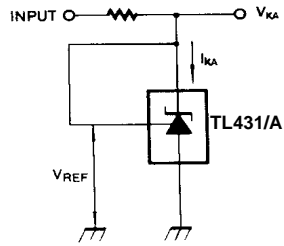


Figure 1. Test Circuit for  $V_{KA} = V_{REF}$

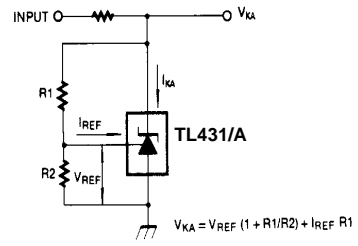


Figure 2. Test Circuit for  $V_{KA} \geq V_{REF}$

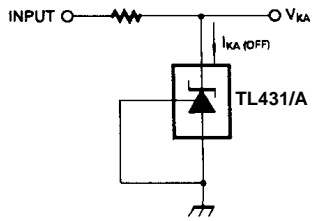


Figure 3. Test Circuit for  $I_{KA(OFF)}$



# Typical Performance Characteristics

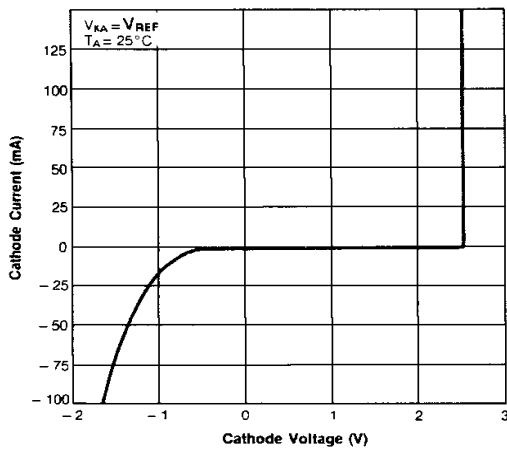


Figure 1. Cathode Current vs. Cathode Voltage

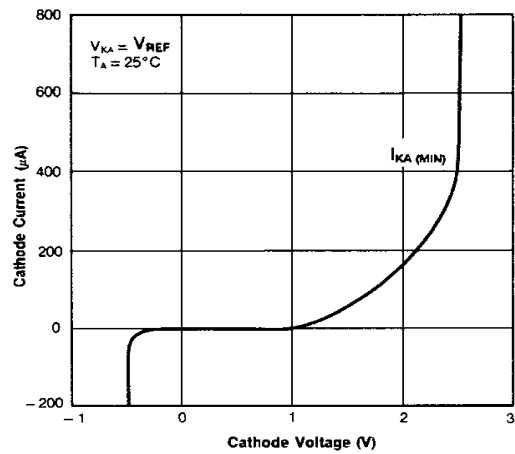


Figure 2. Cathode Current vs. Cathode Voltage

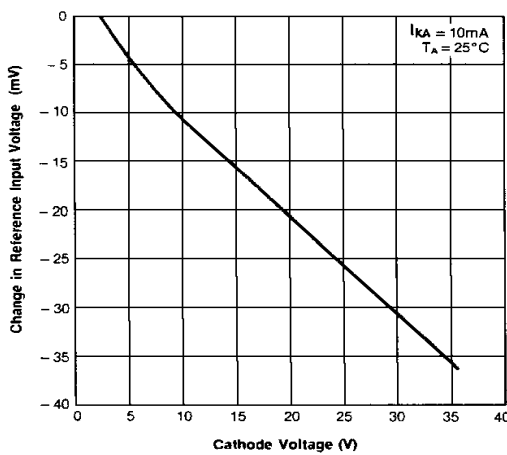


Figure 3. Change In Reference Input Voltage vs. Cathode Voltage

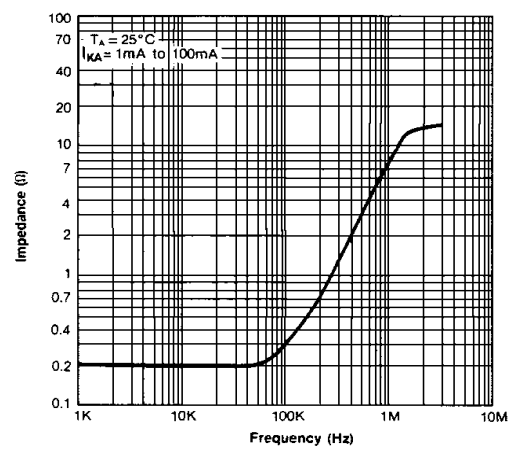


Figure 4. Dynamic Impedance Frequency

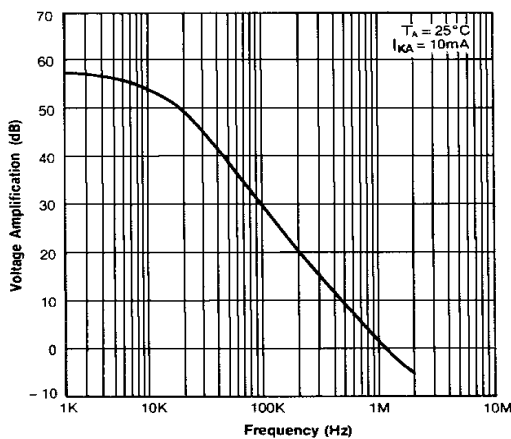


Figure 5. Small Signal Voltage Amplification vs. Frequency

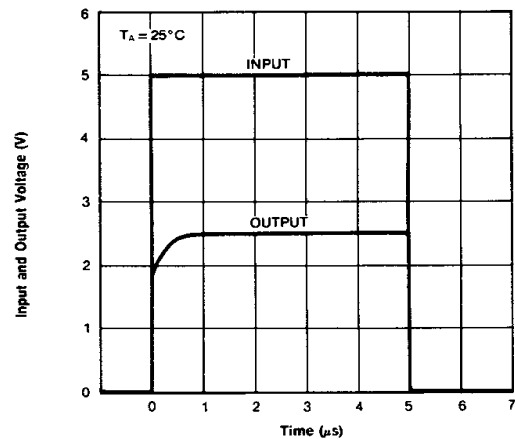


Figure 6. Pulse Response

## Typical Application

$$V_O = \left(1 + \frac{R_1}{R_2}\right) V_{ref}$$

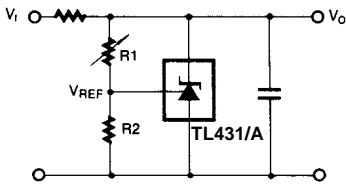


Figure 10. Shunt Regulator

$$V_O = V_{ref} \left(1 + \frac{R_1}{R_2}\right)$$

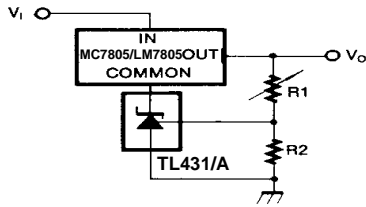


Figure 11. Output Control for Three-Terminal Fixed Regulator

$$V_O = \left(1 + \frac{R_1}{R_2}\right) V_{ref}$$

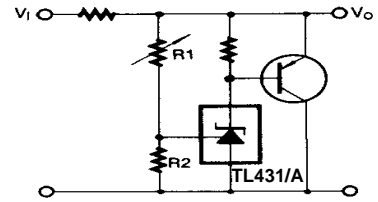


Figure 12. High Current Shunt Regulator

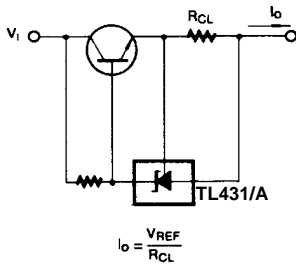


Figure 13. Current Limit or Current Source

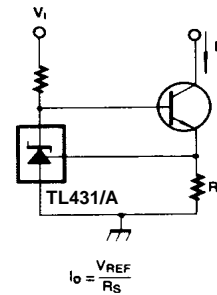
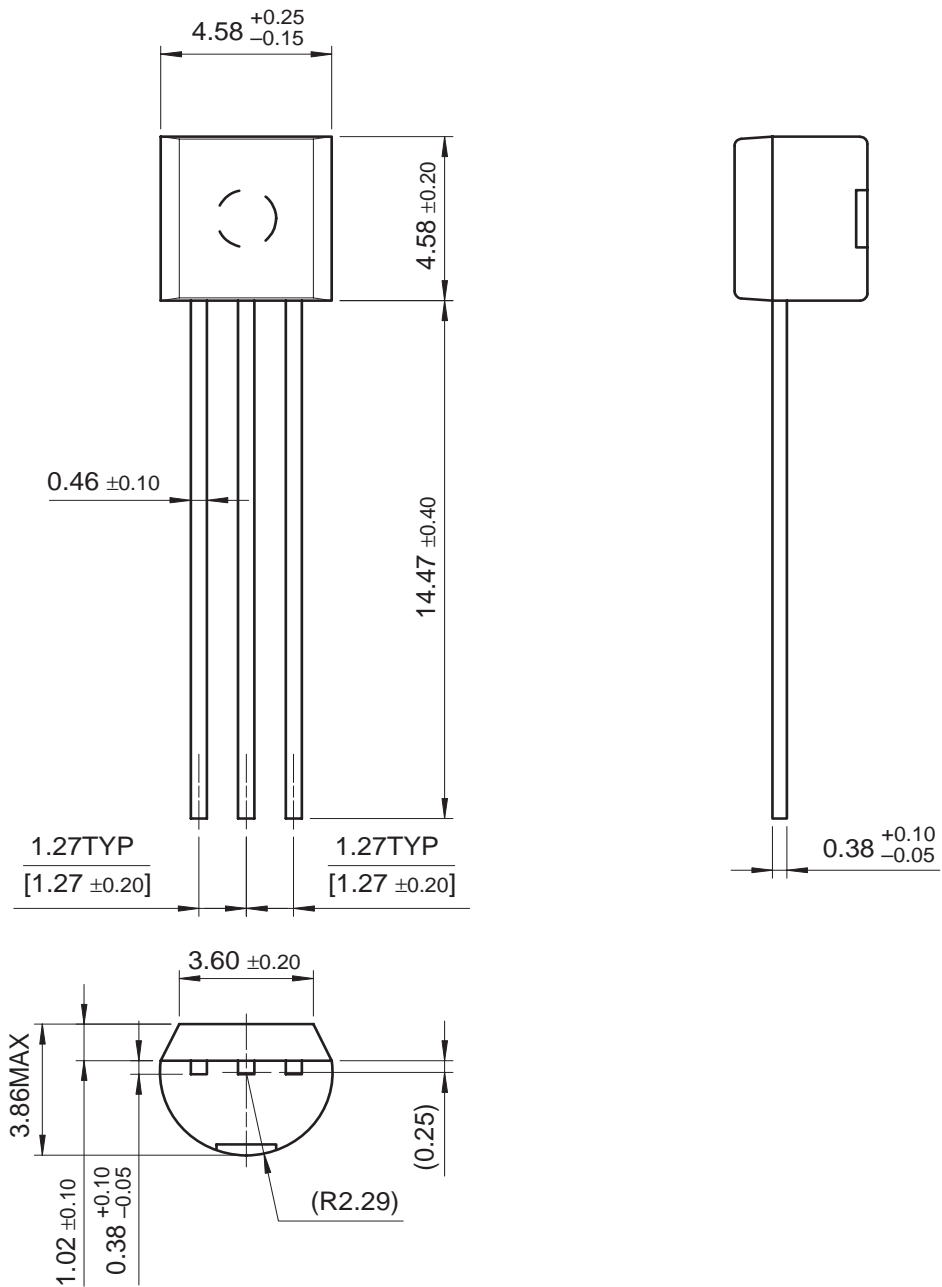


Figure 14. Constant-Current Sink

# Mechanical Dimensions

## Package

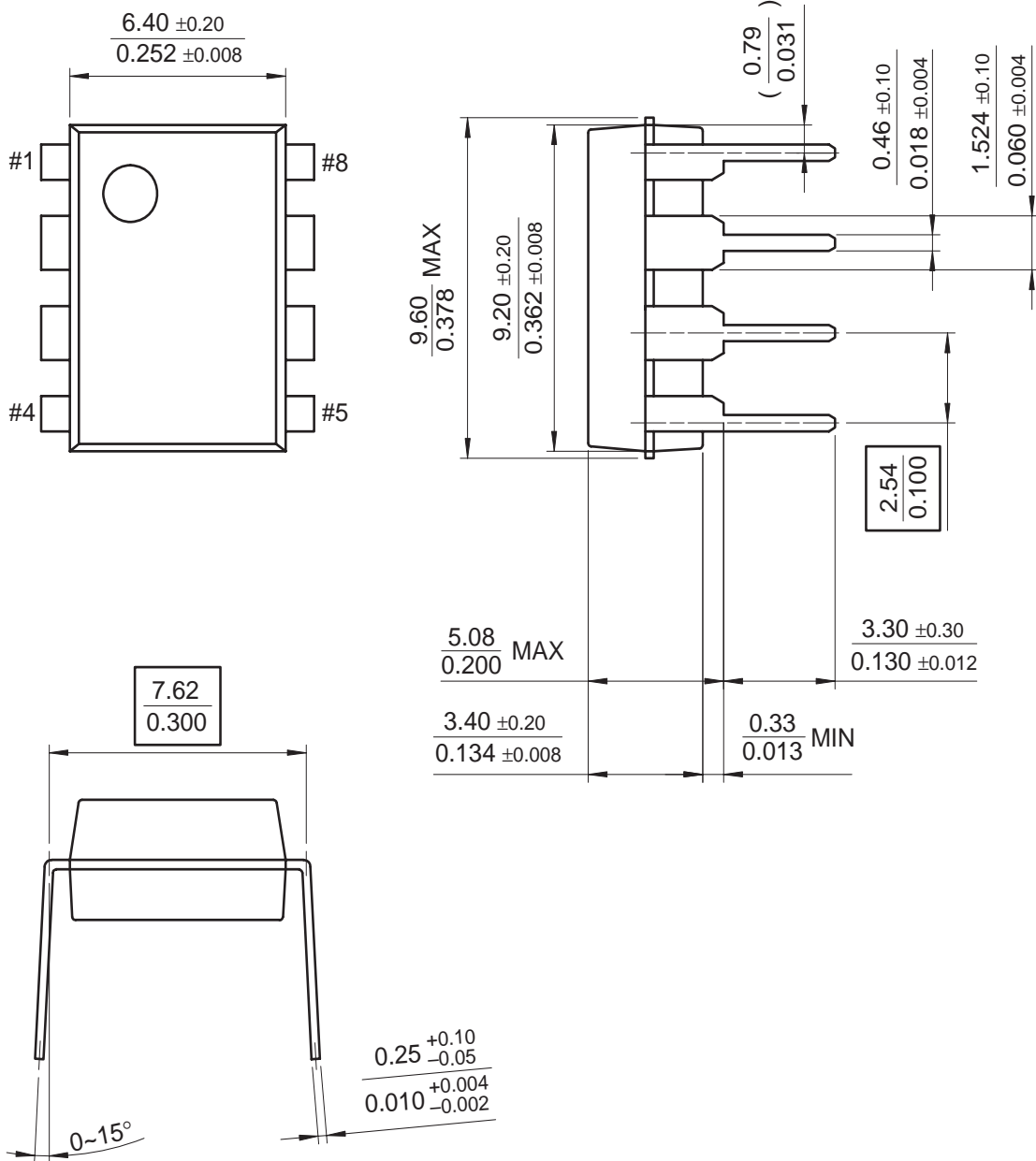
### TO-92



# Mechanical Dimensions (Continued)

## Package

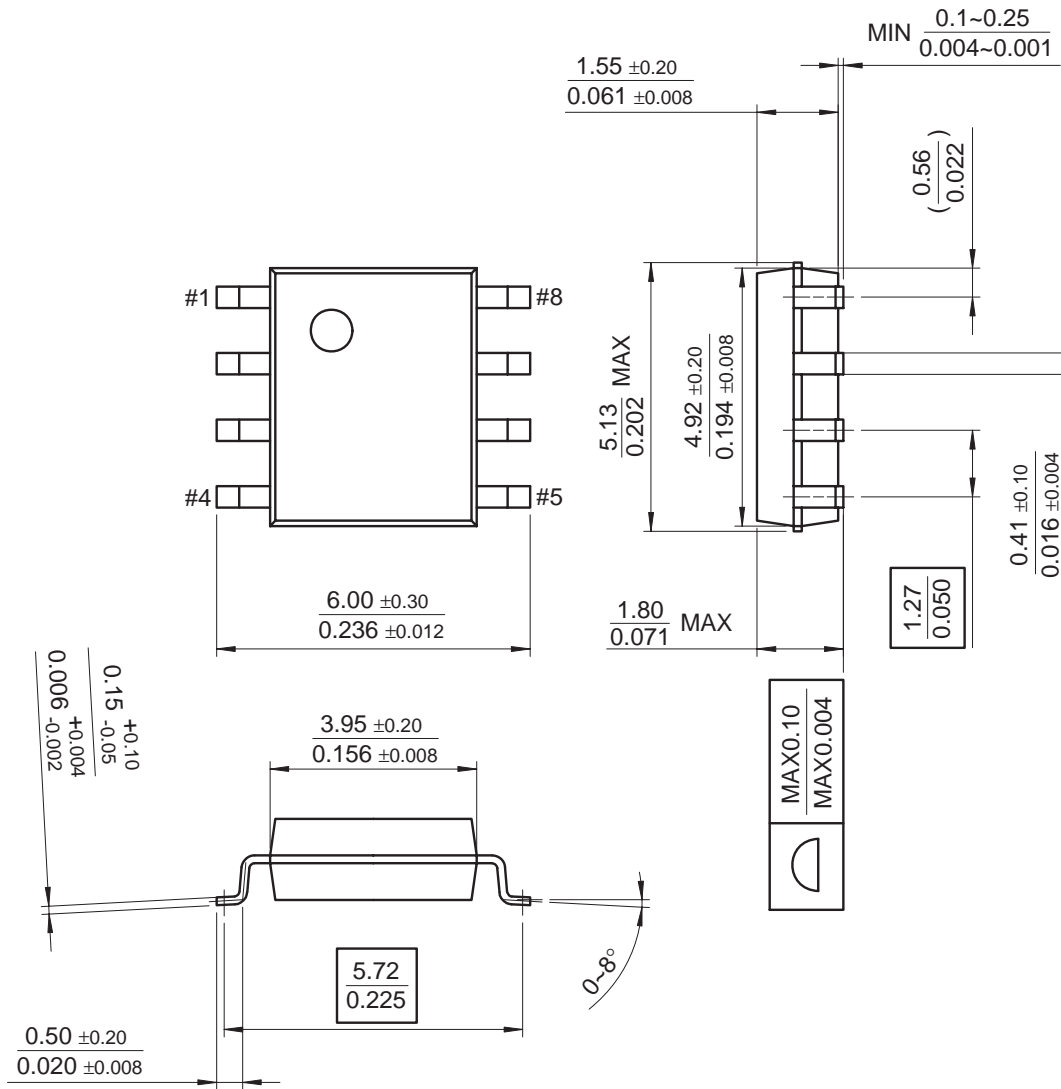
### 8-DIP



**Mechanical Dimensions** (Continued)

**Package**

**8-SOP**



## Ordering Information

Product Number	Output Voltage Tolerance	Package	Operating Temperature
TL431ACLP	1%	TO-92	-25 ~ + 85°C
TL431ACD		8-SOP	
TL431CLP	2%	TO-92	
TL431CP		8-DIP	
TL431CD		8-SOP	

### DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

### LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury of the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

# NE5532, SA5532, SE5532, NE5532A, SE5532A

## Internally Compensated Dual Low Noise Operational Amplifier

The 5532 is a dual high-performance low noise operational amplifier. Compared to most of the standard operational amplifiers, such as the 1458, it shows better noise performance, improved output drive capability and considerably higher small-signal and power bandwidths.

This makes the device especially suitable for application in high-quality and professional audio equipment, instrumentation and control circuits, and telephone channel amplifiers. The op amp is internally compensated for gains equal to one. If very low noise is of prime importance, it is recommended that the 5532A version be used because it has guaranteed noise voltage specifications.

### Features

- Small-Signal Bandwidth: 10 MHz
- Output Drive Capability: 600  $\Omega$ , 10  $V_{RMS}$
- Input Noise Voltage: 5.0 nV/ $\sqrt{Hz}$  (Typical)
- DC Voltage Gain: 50000
- AC Voltage Gain: 2200 at 10 kHz
- Power Bandwidth: 140 kHz
- Slew Rate: 9.0 V/ $\mu s$
- Large Supply Voltage Range:  $\pm 3.0$  to  $\pm 20$  V
- Compensated for Unity Gain
- Pb-Free Packages are Available

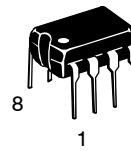


ON Semiconductor®

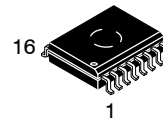
<http://onsemi.com>



SOIC-8  
D SUFFIX  
CASE 751



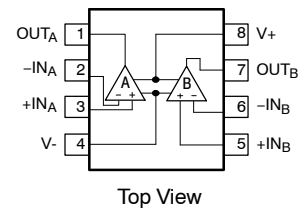
PDIP-8  
N SUFFIX  
CASE 626



SOIC-16 WB  
D SUFFIX  
CASE 751G

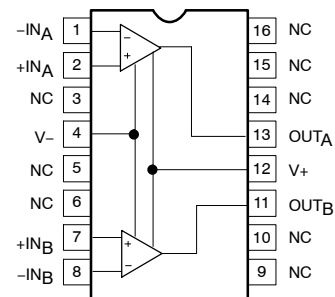
### PIN CONNECTIONS

#### N, D8 Packages



Top View

#### D Package\*



Top View

\*SOL and non-standard pinout.

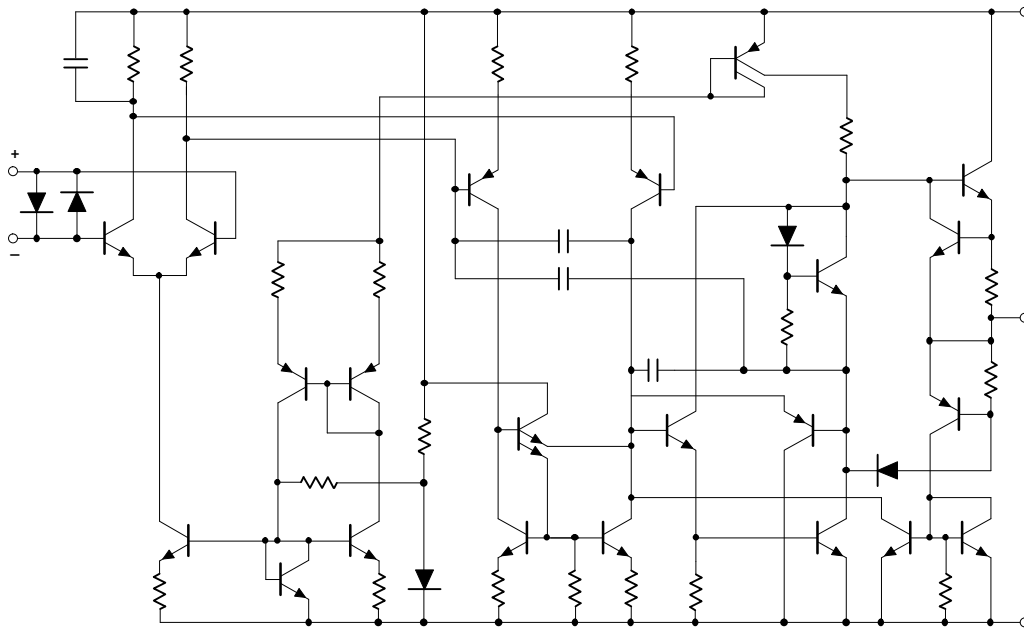
### DEVICE MARKING INFORMATION

See general marking information in the device marking section on page 6 of this data sheet.

### ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 7 of this data sheet.

## NE5532, SA5532, SE5532, NE5532A, SE5532A



**Figure 1. Equivalent Schematic (Each Amplifier)**

### MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage	$V_S$	$\pm 22$	V
Input Voltage	$V_{IN}$	$\pm V_{SUPPLY}$	V
Differential Input Voltage (Note 1)	$V_{DIFF}$	$\pm 0.5$	V
Operating Temperature Range NE5532/A SA5532 SE5532/A	$T_{amb}$	0 to 70 -40 to +85 -55 to +125	$^{\circ}C$
Storage Temperature	$T_{stg}$	-65 to +150	$^{\circ}C$
Junction Temperature	$T_j$	150	$^{\circ}C$
Maximum Power Dissipation, $T_{amb} = 25^{\circ}C$ (Still-Air) 8 D8 Package 8 N Package 16 D Package	$P_D$	780 1200 1200	mW
Thermal Resistance, Junction-to-Ambient 8 D8 Package 8 N Package 16 D Package	$R_{\theta JA}$	182 130 140	$^{\circ}C/W$
Lead Soldering Temperature (10 sec max)	$T_{sld}$	230	$^{\circ}C$

Stresses exceeding Maximum Ratings may damage the device. Maximum Ratings are stress ratings only. Functional operation above the Recommended Operating Conditions is not implied. Extended exposure to stresses above the Recommended Operating Conditions may affect device reliability.

- Diodes protect the inputs against overvoltage. Therefore, unless current-limiting resistors are used, large currents will flow if the differential input voltage exceeds 0.6 V. Maximum current should be limited to  $\pm 10$  mA.



# NE5532, SA5532, SE5532, NE5532A, SE5532A

## DC ELECTRICAL CHARACTERISTICS ( $T_{amb} = 25^{\circ}\text{C}$ ; $V_S = \pm 15\text{ V}$ , unless otherwise noted.) (Notes 2, 3 and 4)

Characteristic	Symbol	Test Conditions	SE5532/A			NE5532/A, SA5532			Unit
			Min	Typ	Max	Min	Typ	Max	
Offset Voltage	$V_{OS}$	-	-	0.5	2.0	-	0.5	4.0	mV
	-	Overtemperature	-	-	3.0	-	-	5.0	mV
	$\Delta V_{OS}/\Delta T$	-	-	5.0	-	-	5.0	-	$\mu\text{V}/^{\circ}\text{C}$
Offset Current	$I_{OS}$	-	-	-	100	-	10	150	nA
	-	Overtemperature	-	-	200	-	-	200	nA
	$\Delta I_{OS}/\Delta T$	-	-	200	-	-	200	-	$\text{pA}/^{\circ}\text{C}$
Input Current	$I_B$	-	-	300	500	-	300	800	nA
	-	Overtemperature	-	-	700	-	-	1000	nA
	$\Delta I_B/\Delta T$	-	-	5.0	-	-	5.0	-	$\text{nA}/^{\circ}\text{C}$
Supply Current	$I_{CC}$	-	-	8.0	10.5	-	8.0	16	mA
	-	Overtemperature	-	-	13	-	-	-	
Common-Mode Input Range	$V_{CM}$	-	$\pm 12$	$\pm 13$	-	$\pm 12$	$\pm 13$	-	V
Common-Mode Rejection Ratio	CMRR	-	80	100	-	70	100	-	dB
Power Supply Rejection Ratio	PSRR	-	-	10	50	-	10	100	$\mu\text{V}/\text{V}$
Large-Signal Voltage Gain	$A_{VOL}$	$R_L \geq 2.0\text{ k}\Omega$ ; $V_O = \pm 10\text{ V}$	50	100	-	25	100	-	V/mV
		Overtemperature	25	-	-	15	-	-	
		$R_L \geq 600\ \Omega$ ; $V_O = \pm 10\text{ V}$	40	50	-	15	50	-	
		Overtemperature	20	-	-	10	-	-	
Output Swing	$V_{OUT}$	$R_L \geq 600\ \Omega$	$\pm 12$	$\pm 13$	-	$\pm 12$	$\pm 13$	-	V
		Overtemperature	$\pm 10$	$\pm 12$	-	$\pm 10$	$\pm 12$	-	
		$R_L \geq 600\ \Omega$ ; $V_S = \pm 18\text{ V}$	$\pm 15$	$\pm 16$	-	$\pm 15$	$\pm 16$	-	
		Overtemperature	$\pm 12$	$\pm 14$	-	$\pm 12$	$\pm 14$	-	
		$R_L \geq 2.0\text{ k}\Omega$	$\pm 13$	$\pm 13.5$	-	$\pm 13$	$\pm 13.5$	-	
Overtemperature	$\pm 12$	$\pm 12.5$	-	$\pm 10$	$\pm 12.5$	-			
Input Resistance	$R_{IN}$	-	30	300	-	30	300	-	$\text{k}\Omega$
Output Short Circuit Current	$I_{SC}$	-	10	38	60	10	38	60	mA

2. Diodes protect the inputs against overvoltage. Therefore, unless current-limiting resistors are used, large currents will flow if the differential input voltage exceeds 0.6 V. Maximum current should be limited to  $\pm 10\text{ mA}$ .
3. For operation at elevated temperature, derate packages based on the package thermal resistance.
4. Output may be shorted to ground at  $V_S = \pm 15\text{ V}$ ,  $T_{amb} = 25^{\circ}\text{C}$ . Temperature and/or supply voltages must be limited to ensure dissipation rating is not exceeded.

# NE5532, SA5532, SE5532, NE5532A, SE5532A

## AC ELECTRICAL CHARACTERISTICS ( $T_{amb} = 25^{\circ}\text{C}$ ; $V_S = \pm 15\text{ V}$ , unless otherwise noted.)

Characteristic	Symbol	Test Conditions	NE/SE5532/A, SA5532			Unit
			Min	Typ	Max	
Output Resistance	$R_{OUT}$	$A_V = 30\text{ dB}$ Closed-loop $f = 10\text{ kHz}$ , $R_L = 600\ \Omega$	–	0.3	–	$\Omega$
Overshoot	–	Voltage-Follower $V_{IN} = 100\text{ mV}_{P-P}$ $C_L = 100\text{ pF}$ ; $R_L = 600\ \Omega$	–	10	–	%
Gain	$A_V$	$f = 10\text{ kHz}$	–	2.2	–	V/mV
Gain Bandwidth Product	GBW	$C_L = 100\text{ pF}$ ; $R_L = 600\ \Omega$	–	10	–	MHz
Slew Rate	SR	–	–	9.0	–	V/ $\mu\text{s}$
Power Bandwidth	–	$V_{OUT} = \pm 10\text{ V}$ $V_{OUT} = \pm 14\text{ V}$ ; $R_L = 600\ \Omega$  $V_{CC} = \pm 18\text{ V}$	–	140 100	–	kHz

## ELECTRICAL CHARACTERISTICS ( $T_{amb} = 25^{\circ}\text{C}$ ; $V_S = \pm 15\text{ V}$ , unless otherwise noted.)

Characteristic	Symbol	Test Conditions	NE/SE5532			NE/SA/SE5532A			Unit
			Min	Typ	Max	Min	Typ	Max	
Input Noise Voltage	$V_{NOISE}$	$f_O = 30\text{ Hz}$	–	8.0	–	–	8.0	12	nV/ $\sqrt{\text{Hz}}$
		$f_O = 1.0\text{ kHz}$	–	5.0	–	–	5.0	6.0	
Input Noise Current	$I_{NOISE}$	$f_O = 30\text{ Hz}$	–	2.7	–	–	2.7	–	pA/ $\sqrt{\text{Hz}}$
		$f_O = 1.0\text{ kHz}$	–	0.7	–	–	0.7	–	
Channel Separation	–	$f = 1.0\text{ kHz}$ ; $R_S = 5.0\text{ k}\Omega$	–	110	–	–	110	–	dB

TYPICAL PERFORMANCE CHARACTERISTICS

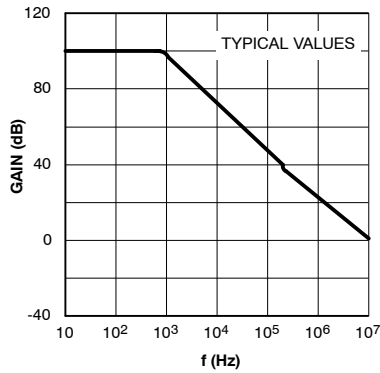


Figure 2. Open-Loop Frequency Response

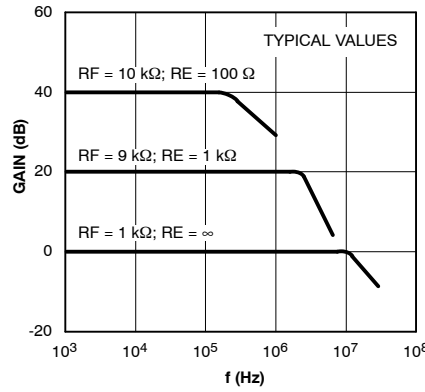


Figure 3. Closed-Loop Frequency Response

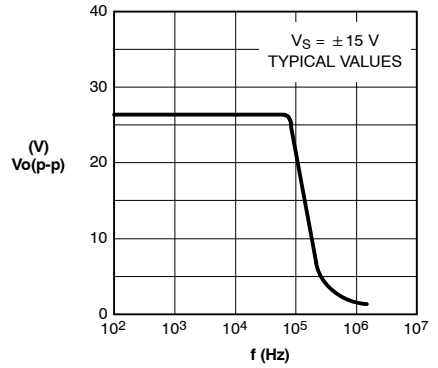


Figure 4. Large-Signal Frequency Response

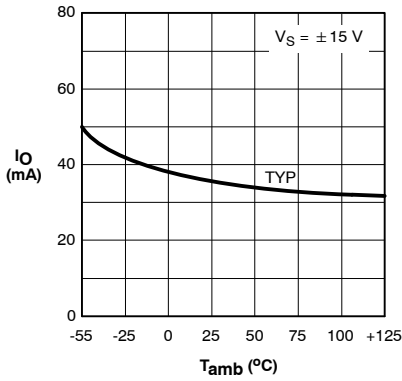


Figure 5. Output Short-Circuit Current

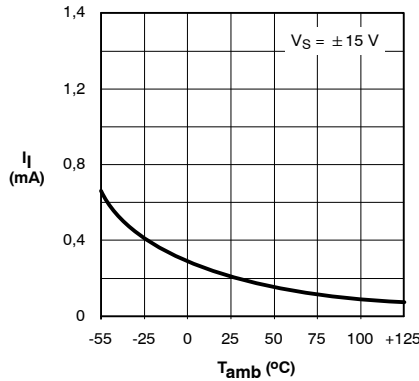


Figure 6. Input Bias Current

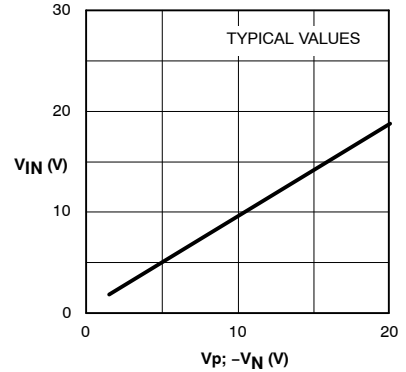


Figure 7. Input Common-Mode Voltage Range

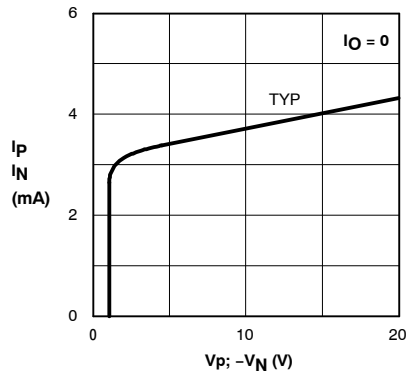


Figure 8. Supply Current

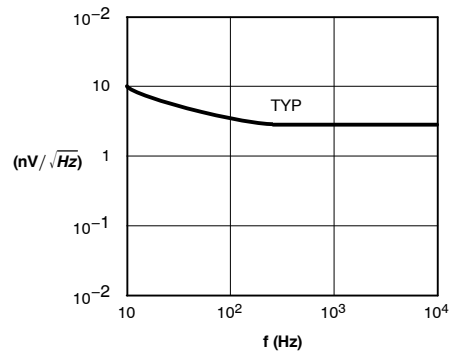
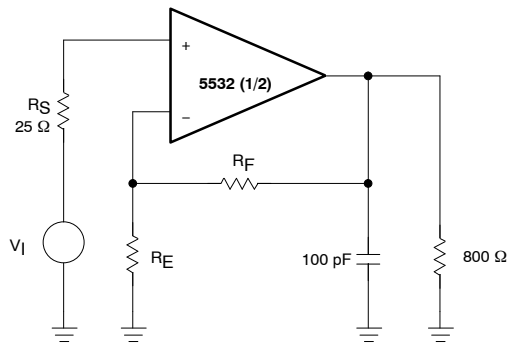
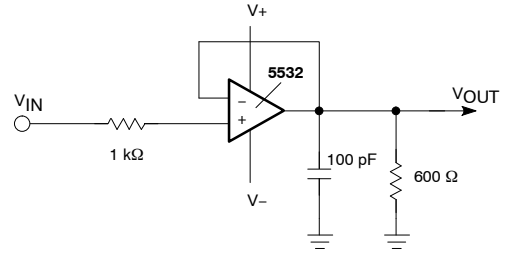


Figure 9. Input Noise Voltage Density

# NE5532, SA5532, SE5532, NE5532A, SE5532A



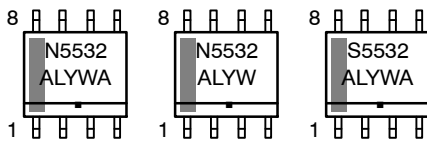
**Closed-Loop Frequency Response**



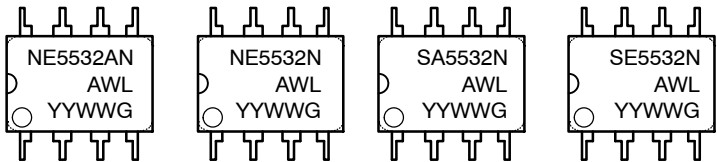
**Voltage-Follower**

**Figure 10. Test Circuits**

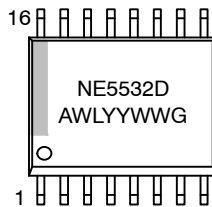
## MARKING DIAGRAMS



**SOIC-8  
D SUFFIX  
CASE 751**



**PDIP-8  
N SUFFIX  
CASE 626**



**SOIC-16 WB  
D SUFFIX  
CASE 751G**

- A = Assembly Location
- WL, L = Wafer Lot
- YY, Y = Year
- WW, W = Work Week
- G or ■ = Pb-Free Package

# NE5532, SA5532, SE5532, NE5532A, SE5532A

## ORDERING INFORMATION

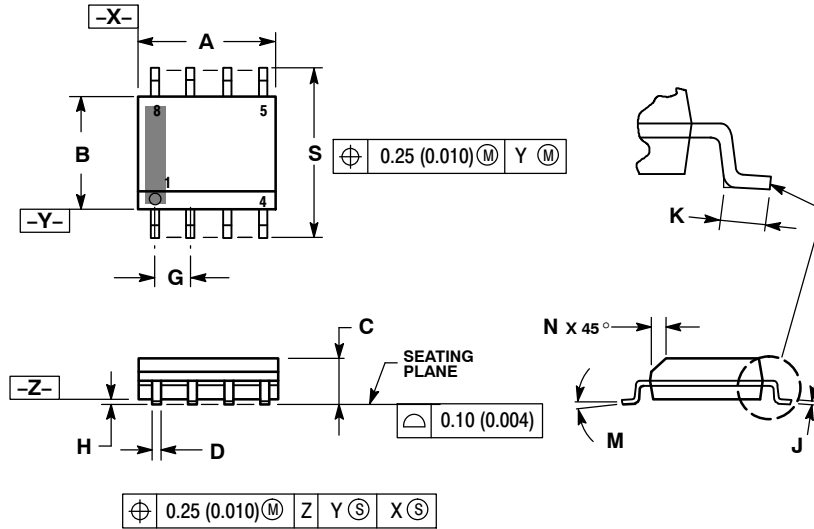
Device	Description	Temperature Range	Shipping†	
NE5532AD8	8-Pin Plastic Small Outline (SO-8) Package	0 to 70°C	98 Units / Rail	
NE5532AD8G	8-Pin Plastic Small Outline (SO-8) Package (Pb-Free)		98 Units / Rail	
NE5532AD8R2	8-Pin Plastic Small Outline (SO-8) Package		2500 / Tape & Reel	
NE5532AD8R2G	8-Pin Plastic Small Outline (SO-8) Package (Pb-Free)		2500 / Tape & Reel	
NE5532AN	8-Pin Plastic Dual In-Line Package (PDIP-8)		50 Units / Rail	
NE5532ANG	8-Pin Plastic Dual In-Line Package (PDIP-8) (Pb-Free)		50 Units / Rail	
NE5532D	16-Pin Plastic Small Outline (SO-16 WB) Package		47 Units / Rail	
NE5532DG	16-Pin Plastic Small Outline (SO-16 WB) Package (Pb-Free)		47 Units / Rail	
NE5532DR2	16-Pin Plastic Small Outline (SO-16 WB) Package		1000 Tape & Reel	
NE5532DR2G	16-Pin Plastic Small Outline (SO-16 WB) Package (Pb-Free)		1000 Tape & Reel	
NE5532D8	8-Pin Plastic Small Outline (SO-8) Package		98 Units / Rail	
NE5532D8G	8-Pin Plastic Small Outline (SO-8) Package (Pb-Free)		98 Units / Rail	
NE5532D8R2	8-Pin Plastic Small Outline (SO-8) Package		2500 / Tape & Reel	
NE5532D8R2G	8-Pin Plastic Small Outline (SO-8) Package (Pb-Free)		2500 / Tape & Reel	
NE5532N	8-Pin Plastic Dual In-Line Package (PDIP-8)		50 Units / Rail	
NE5532NG	8-Pin Plastic Dual In-Line Package (PDIP-8) (Pb-Free)		50 Units / Rail	
SA5532N	8-Pin Plastic Dual In-Line Package (PDIP-8)		-40 to +85°C	50 Units / Rail
SA5532NG	8-Pin Plastic Dual In-Line Package (PDIP-8) (Pb-Free)			50 Units / Rail
SE5532AD8	8-Pin Plastic Small Outline (SO-8) Package	-55 to +125°C	98 Units / Rail	
SE5532AD8G	8-Pin Plastic Small Outline (SO-8) Package (Pb-Free)		98 Units / Rail	
SE5532AD8R2	8-Pin Plastic Small Outline (SO-8) Package		2500 / Tape & Reel	
SE5532AD8R2G	8-Pin Plastic Small Outline (SO-8) Package (Pb-Free)		2500 / Tape & Reel	
SE5532N	8-Pin Plastic Dual In-Line Package (PDIP-8)		50 Units / Rail	
SE5532NG	8-Pin Plastic Dual In-Line Package (PDIP-8) (Pb-Free)		50 Units / Rail	

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

# NE5532, SA5532, SE5532, NE5532A, SE5532A

## PACKAGE DIMENSIONS

SOIC-8 NB  
CASE 751-07  
ISSUE AK

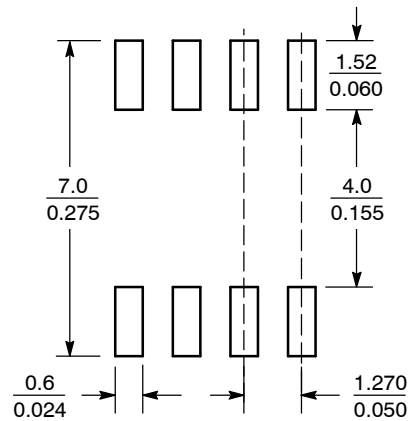


NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. 751-01 THRU 751-06 ARE OBSOLETE. NEW STANDARD IS 751-07.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.80	5.00	0.189	0.197
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.053	0.069
D	0.33	0.51	0.013	0.020
G	1.27 BSC		0.050 BSC	
H	0.10	0.25	0.004	0.010
J	0.19	0.25	0.007	0.010
K	0.40	1.27	0.016	0.050
M	0°	8°	0°	8°
N	0.25	0.50	0.010	0.020
S	5.80	6.20	0.228	0.244

### SOLDERING FOOTPRINT\*



SCALE 6:1 (mm/inches)

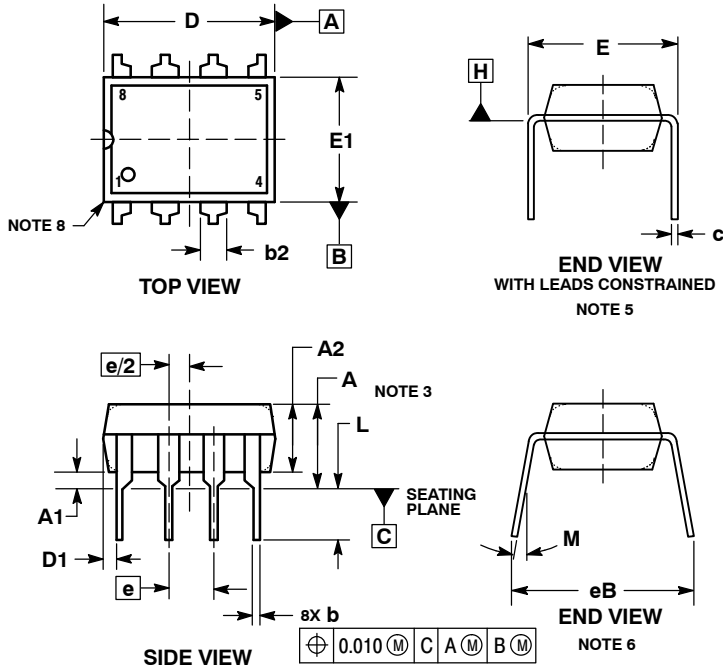
\*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

# NE5532, SA5532, SE5532, NE5532A, SE5532A

## PACKAGE DIMENSIONS

### 8-Pin Plastic Dual In-Line Package (PDIP-8)

**N SUFFIX**  
CASE 626-05  
ISSUE N



**NOTES:**

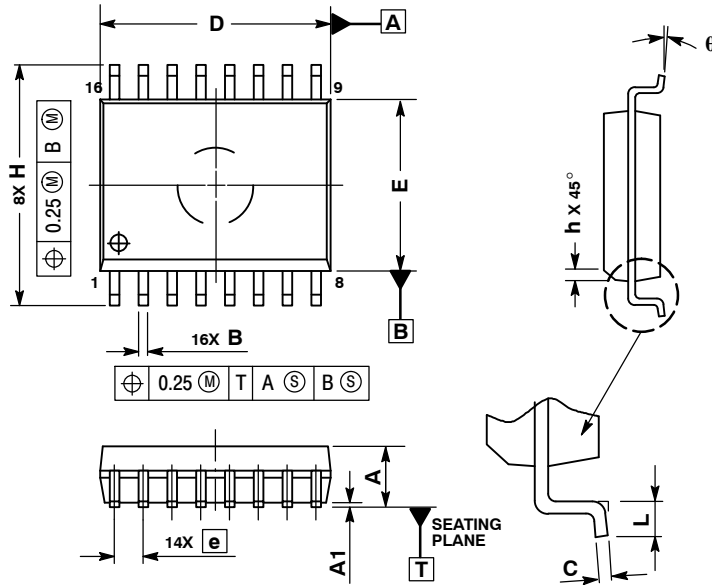
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
2. CONTROLLING DIMENSION: INCHES.
3. DIMENSIONS A, A1 AND L ARE MEASURED WITH THE PACKAGE SEATED IN JEDEC SEATING PLANE GAUGE GS-3.
4. DIMENSIONS D, D1 AND E1 DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS ARE NOT TO EXCEED 0.10 INCH.
5. DIMENSION E IS MEASURED AT A POINT 0.015 BELOW DATUM PLANE H WITH THE LEADS CONSTRAINED PERPENDICULAR TO DATUM C.
6. DIMENSION E3 IS MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED.
7. DATUM PLANE H IS COINCIDENT WITH THE BOTTOM OF THE LEADS, WHERE THE LEADS EXIT THE BODY.
8. PACKAGE CONTOUR IS OPTIONAL (ROUNDED OR SQUARE CORNERS).

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	----	0.210	----	5.33
A1	0.015	----	0.38	----
A2	0.115	0.195	2.92	4.95
b	0.014	0.022	0.35	0.56
b2	0.060 TYP		1.52 TYP	
C	0.008	0.014	0.20	0.36
D	0.355	0.400	9.02	10.16
D1	0.005	----	0.13	----
E	0.300	0.325	7.62	8.26
E1	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
eB	----	0.430	----	10.92
L	0.115	0.150	2.92	3.81
M	----	10°	----	10°

# NE5532, SA5532, SE5532, NE5532A, SE5532A

## PACKAGE DIMENSIONS

SOIC-16 WB  
D SUFFIX  
CASE 751G-03  
ISSUE D

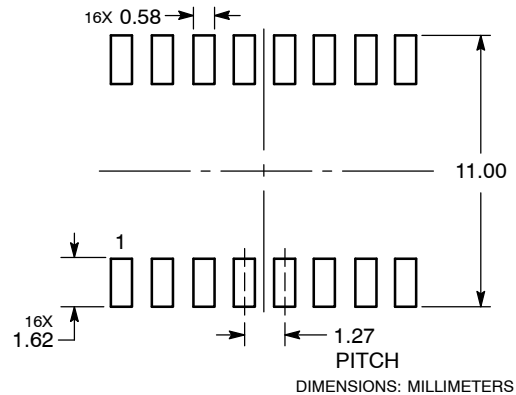


### NOTES:

1. DIMENSIONS ARE IN MILLIMETERS.
2. INTERPRET DIMENSIONS AND TOLERANCES PER ASME Y14.5M, 1994.
3. DIMENSIONS D AND E DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 PER SIDE.
5. DIMENSION B DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 TOTAL IN EXCESS OF THE B DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS	
	MIN	MAX
A	2.35	2.65
A1	0.10	0.25
B	0.35	0.49
C	0.23	0.32
D	10.15	10.45
E	7.40	7.60
e	1.27 BSC	
H	10.05	10.55
h	0.25	0.75
L	0.50	0.90
q	0°	7°

### SOLDERING FOOTPRINT



ON Semiconductor and are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

### PUBLICATION ORDERING INFORMATION

**LITERATURE FULFILLMENT:**  
Literature Distribution Center for ON Semiconductor  
P.O. Box 5163, Denver, Colorado 80217 USA  
**Phone:** 303-675-2175 or 800-344-3860 Toll Free USA/Canada  
**Fax:** 303-675-2176 or 800-344-3867 Toll Free USA/Canada  
**Email:** [orderlit@onsemi.com](mailto:orderlit@onsemi.com)

**N. American Technical Support:** 800-282-9855 Toll Free  
USA/Canada  
**Europe, Middle East and Africa Technical Support:**  
Phone: 421 33 790 2910  
**Japan Customer Focus Center**  
Phone: 81-3-5817-1050

**ON Semiconductor Website:** [www.onsemi.com](http://www.onsemi.com)  
**Order Literature:** <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative